CMOS naponski pretvarač za sustave žetve energije

Turšćak, Tomislav

Master's thesis / Diplomski rad

2021

Degree Grantor / Ustanova koja je dodijelila akademski / stručni stupanj: **Josip Juraj Strossmayer University of Osijek, Faculty of Electrical Engineering, Computer Science and Information Technology Osijek / Sveučilište Josipa Jurja Strossmayera u Osijeku, Fakultet elektrotehnike, računarstva i informacijskih tehnologija Osijek**

Permanent link / Trajna poveznica: https://urn.nsk.hr/urn:nbn:hr:200:473088

Rights / Prava: In copyright / Zaštićeno autorskim pravom.

Download date / Datum preuzimanja: **2025-03-21**

Repository / Repozitorij:

Faculty of Electrical Engineering, Computer Science and Information Technology Osijek

SVEUČILIŠTE JOSIPA JURJA STROSSMAYERA U OSIJEKU

FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA I INFORMACIJSKIH TEHNOLOGIJA

Sveučilišni studij

CMOS NAPONSKI PRETVARAČ ZA SUSTAVE ŽETVE ENERGIJE

Diplomski rad

Tomislav Turšćak

Osijek, 2021.

FERIT
FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA I INFORMACIJSKIH TEHNOLOGIJA OSIJEK

Obrazac D1: Obrazac za imenovanje Povjerenstva za diplomski ispit

Osijek, 31.08.2021.

Odboru za završne i diplomske ispite

Imenovanje Povjerenstva za diplomski ispit

Ime i prezime studenta:	Tomislav Turšćak
Studij, smjer:	Diplomski sveučilišni studij Elektrotehnika, smjer Komunikacije i informatika'
Mat. br. studenta, godina upisa:	D-1206, 09.10.2018.
OIB studenta:	89336449171
Mentor:	Izv. prof. dr. sc. Davor Vinko
Sumentor:	
Sumentor iz tvrtke:	
Predsjednik Povjerenstva:	Izv.prof.dr.sc. Tomislav Matić
Član Povjerenstva 1:	Izv. prof. dr. sc. Davor Vinko
Član Povjerenstva 2:	Luka Filipović
Naslov diplomskog rada:	CMOS naponski pretvarač za sustave žetve energije
Znanstvena grana rada:	**Elektronika (zn. polje elektrotehnika)**
Zadatak diplomskog rada:	Temu rezervirao: Tomislav Turšćak Zadatak diplomskog rada je razviti CMOS naponski pretvarač za primjenu u sustavima žetve energije. Sklop je potrebno dizajnirati i evaluirati u Cadence programskom paketu te provesti simulacije na razini shematskog i topološkog prikaza. Za više informacija javiti se mentoru: davor.vinko@ferit.hr
Prijedlog ocjene pismenog dijela ispita (diplomskog rada):	Izvrstan (5)
Kratko obrazloženje ocjene prema Kriterijima za ocjenjivanje završnih i diplomskih radova:	Primjena znanja stečenih na fakultetu: 3 bod/boda Postignuti rezultati u odnosu na složenost zadatka: 3 bod/boda Jasnoća pismenog izražavanja: 2 bod/boda Razina samostalnosti: 3 razina
Datum prijedloga ocjene mentora:	31.08.2021.

Potpis mentora za predaju konačne verzije rada u Studentsku službu pri završetku studija:	Potpis:
	Datum:

FERIT
FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA I INFORMACIJSKIH TEHNOLOGIJA OSIJEK

IZJAVA O ORIGINALNOSTI RADA

Osijek, 21.09.2021.

Ime i prezime studenta:	Tomislav Turšćak
Studij:	Diplomski sveučilišni studij Elektrotehnika, smjer Komunikacije i informatika'
Mat. br. studenta, godina upisa:	D-1206, 09.10.2018.
Turnitin podudaranje [%]:	6

Ovom izjavom izjavljujem da je rad pod nazivom**: CMOS naponski pretvarač za sustave žetve energije**

izrađen pod vodstvom mentora Izv. prof. dr. sc. Davor Vinko

i sumentora

moj vlastiti rad i prema mom najboljem znanju ne sadrži prethodno objavljene ili neobjavljene pisane materijale drugih osoba, osim onih koji su izričito priznati navođenjem literature i drugih izvora informacija.
Izjavljujem da je intelektualni sadržaj navedenog rada proizvod mog vlastitog rada, osim u onom dijelu za koji mi je bila potrebna pomoć mentora, sumentora i drugih osoba, a što je izričito navedeno u radu.

Potpis studenta:

Sadržaj

1. UVOD ... 1
2. ŽETVA ENERGIJE ... 2
2.1. Izvor energije ... 3
2.2. Pohrana energije ... 6
2.3. Pretvarač energije ... 7
3. INTEGRIRANA TEHNOLOGIJA ... 8
3.1. TSMC18 CMOS tehnologija ... 8
3.2. N-well proces ... 9
3.3. Well proximity efekt ... 11
3.4. Integrirani otpornik ... 12
3.5. Integrirani kondenzator ... 14
3.6. Integrirana zavojnica ... 16
4. OSNOVNA PRAVILA „LAYOUT-A“ INTEGRIRANOG KRUGA ... 18
4.1. Orijentacija slojeva metala ... 18
4.2. Antena efekt ... 19
4.3. ESD zaštita ... 21
5. IZVEDBA INTEGRIRANOG CMOS NAPONSKOG PRETVARAČA ... 22
5.1. DC-DC „buck“ pretvarač ... 22
5.2. Strujno zrcalo ... 29
5.3. Generator referentnog napona ... 31
5.4. Operacijsko pojačalo ... 35
5.5. Komparator ... 39
5.6. Generator upravljačkog signala sa zaštitnim vremenom ... 42
6. PROCEDURE NAKON DIZAJNA ... 45
7. ZAKLJUČAK ... 47
LITERATURA ... 48
SAŽETAK ... 52
ABSTRACT ... 53
ŽIVOTOPIS ... 54
PRILOZI ... 55

1. UVOD

Zadatak ovog diplomskog rada je dizajnirati integrirani CMOS (*engl. Complementary metal-oxide-semiconductor*) naponski pretvarač namijenjen za primjenu u sustavima žetve energije. Žetva energije je koncept iskorištavanja energije iz okoline za napajanje elektroničkih uređaja. Popularnost primjene sustava za žetvu energije raste jer je tehnološki postalo izvedivo iz izvora koji pruža malu električnu snagu napojiti elektronički senzor ili uređaj koji će izvršavati određenu funkciju. Foto-naponski moduli i termo generatori generiraju istosmjerni napon dok elektromagnetski generatori, piezo-električni i generatori koji sakupljaju RF signal na svojim izlazima imaju izmjenični napon. Različiti generatori sustava za žetvu energije proizvode različite vrste signala što zahtijeva i različite pristupe u pretvorbi energije. Ako se u sustavu za žetvu energije kao izvor koristi neki od izmjeničnih generatora, signal je potrebno ispraviti u istosmjerni jer se sve elektroničke i mikroelektroničke komponente napajaju istosmjernim naponom. U diplomskom radu odabrana je „buck“ topologija naponskog pretvarača te istosmjerni izvor.

U drugom poglavlju opisan je osnovni princip funkcioniranja sustava za žetvu energije te su detaljnije opisani pojedini podsustavi kao što su izvor energije i uređaji za pohranu.

Treće poglavlje opisuje n-well proces i efekte koji su prisutni prilikom procesiranja integriranih elektroničkih krugova, te je objašnjena struktura i način izrade pasivnih komponenti, otpornika, kondenzatora, zavojnica na siliciju.

Četvrto poglavlje objašnjava osnovne parazitne efekte koji nastaju kao posljedica povezivanja integriranih komponenti na siliciju te kako ih je moguće spriječiti.

U petom poglavlju su prikazani pojedini blokovi naponskog pretvarača, opisana njihova funkcija, te objašnjena povezanost među njima.

Šesto poglavlje se bavi procedurom provjere funkcionalnosti sklopa nakon dizajna, učinjenim modifikacijama i učinkovitošću cijelog dizajna.

U sedmom poglavlju dan je zaključak, nakon kojeg slijede literatura, sažetak, životopis te prilozi.

2. ŽETVA ENERGIJE

Žetva-energije je koncept koji je u zadnjih desetak godina sve popularniji, a temelji se na prikupljanju nekog oblika energije te pohranjivanju u električni oblik ili konvertiranju za trenutačnu upotrebu. Sustavi žetve energije najčešće se kombiniraju s drugim sustavima u svrhu napajanja, kao glavno ili pomoćno napajanje. Sustavi žetve energije služe kao napajanja prvenstveno za male potrošače kao što su bežični senzori, ugradbeni senzori za primjenu u medicini, TPMS (*engl. Tire-Pressure Monitoring System*) za automobilsku industriju, stanice za praćenje parametara okoline, sigurnosni sustavi i mnogim drugim.

Popularnost sustava žetve energije može se objasniti kao posljedica više faktora. Jedan od njih je napredak poluvodičke industrije i smanjivanje fizičkih dimenzija mikro-elektroničkih komponenti do nekoliko nanometara. Prema Moore-ovom zakonu dimenzija integriranog tranzistora smanjuje se za dva puta svake tri godine. Potrebne naponske razine za rad integriranih krugova se smanjuju [1], zbog korištenja naprednijih i tanjih izolatora/oksida. Primjena manjih tranzistora i pasivnih komponenti rezultira i manjim parazitnim efektima. Drugi važan faktor je napredak RF (*engl. Radio Frequency*) tehnologije. RF tehnologija, posebno predajnici niske snage kao što je BLE (*engl. Bluetooth Low Energy*) [2] omogućili su pouzdan prijenos podataka i razvoj mobilne elektronike. Sve veća primjena i razvoj SoC (*engl. System-on-Chip*) sustava također utječu na sustave žetve energije [2]. SoC komponente ili moduli su uređaji s velikim stupnjem integracije koji ne zahtijevaju puno diskretnih komponenti te je ostvarivanje napajanja takvog modula iz neke vrste „sakupljene“ energije zanimljiv koncept.

Nasuprot pozitivnom trendu razvoja integriranih i SoC tehnologija, razvoj baterija i materijala koji se koriste u njihovoj proizvodnji ima jako spor rast. Baterije su jeftinije, ali i dalje najveći problem predstavlja gustoća energije koju je moguće pohraniti u jedinicu volumena.

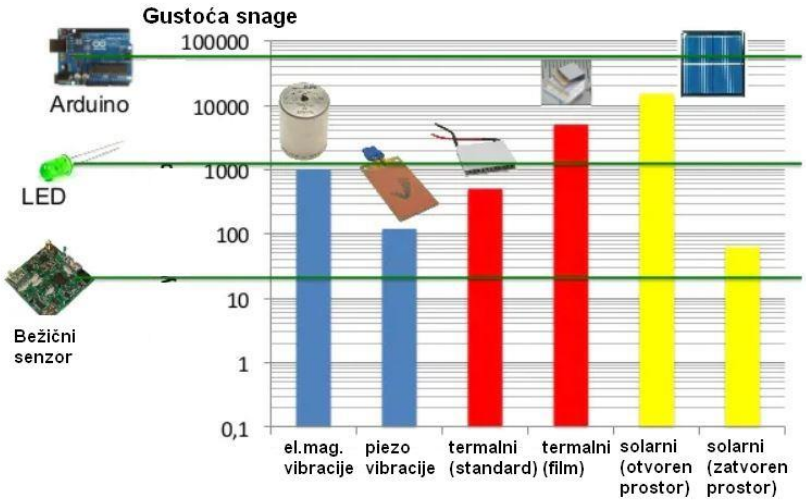
Svaki sustav žetve energije ima tri glavne komponente: izvor energije, pretvarač energije i spremnik energije.

2.1. Izvor energije

Energija koja nas okružuje u prirodi može se podijeliti na kinetičku energiju, termalnu energiju i elektromagnetsku energiju. Izvor energije, sustava za žetvu, je uređaj koji je dizajniran da pretvara jedan od navedenih oblika u električnu energiju, kojom možemo lakše manipulirati. Uređaji koji se mogu koristiti kao izvori energije, u sustavu za žetvu energije, su termo-električni generator (Seebeckov efekt), generator pogonjen vjetrom, piezo-električni generator, foto-naponska ćelija ili izvor koji sakuplja RF valove [1]. U ovom radu je predviđeno da se za naponski pretvarač kao izvor električne energije koristi foto-naponska ćelija te će njen princip rada biti detaljnije opisan.

Foto-naponska ćelija je komad poluvodičkog materijala (Si) koji pretvara sunčevu radijaciju u električnu energiju zahvaljujući foto-električnom efektu [3]. Generirana električna energija se može koristiti za bilo koju aplikaciju, te ovisno o veličini foto-naponskog izvora snaga može varirati u rasponima od jednog mW do MW.

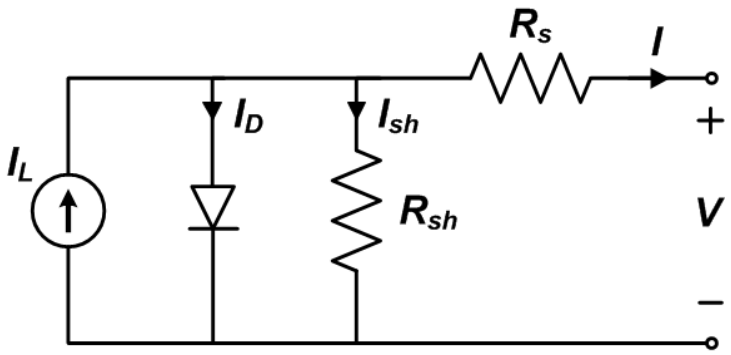
Gustoća snage solarne radijacije sredinom sunčanog dana je oko 100 mW/cm^3 što je približno tri puta više u usporedbi s ostalim izvorima sustava žetve energije. Slika 2.1. prikazuje usporedbu različitih izvora energije s obzirom na gustoću snage koju mogu postići. Unu



Slika 2.1. Gustoća snage različitih izvora energije [4]

Silicijske foto-naponske ćelije su zrela tehnologija koja je široko prihvaćena kao izvor obnovljive energije, a foto-naponske ćelije mogu se podijeliti u tri skupine s obzirom na njihovu strukturu: mono-kristalne ćelije, poli-kristalne ćelije i amorfne ćelije. Učinkovitost mono-kristalnih ćelija je oko 25 %. Poli-kristalne ćelije i amorfne ćelije su jeftinije od mono-kristalnih, ali im je i učinkovitost manja [3].

Model foto-naponske ćelije prikazan je na slici 2.2.



Slika 2.2. Model foto-naponske ćelije [5]

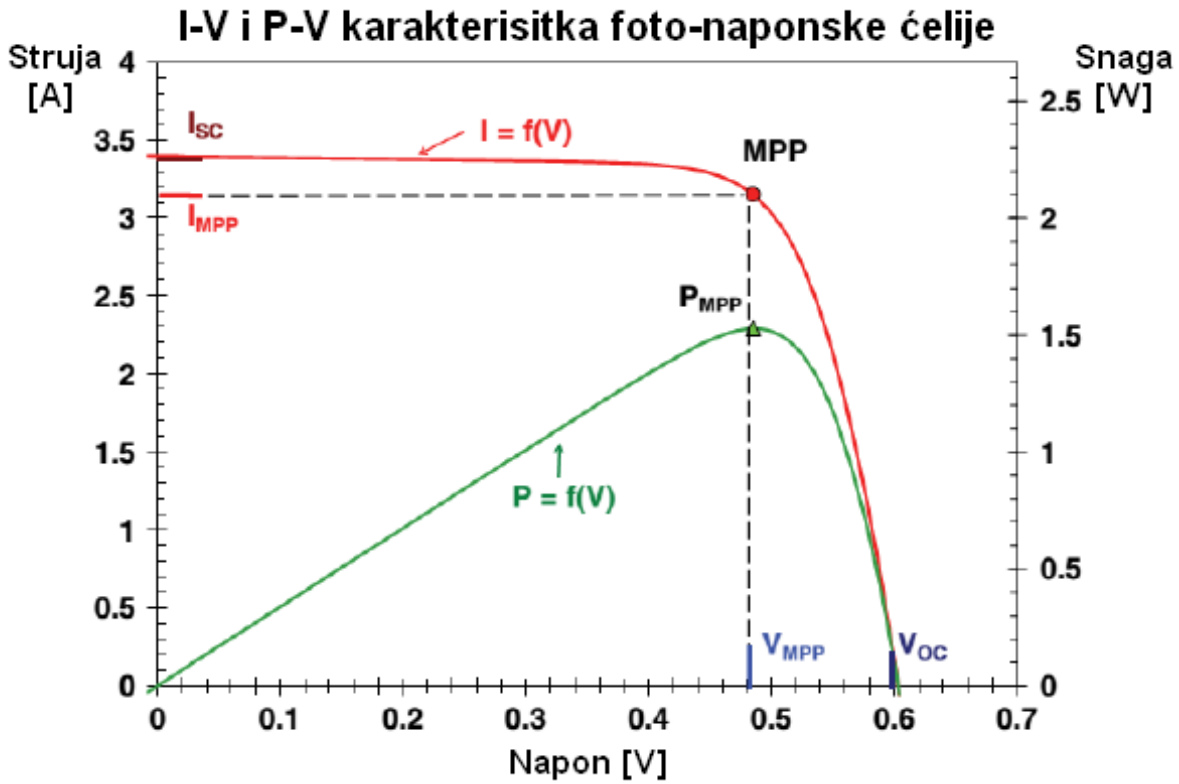
Model se sastoji od dva parazitna otpora R_{sh}, R_s i paralelne diode. Izlazna struja foto-naponske ćelije I izražena je formulom, gdje I_L predstavlja generiranu struju, I_D predstavlja naponski ovisnu struju diode, I_{sh} predstavlja gubitke zbog unutarnjeg otpora R_{sh}. Struja I_D je modelirana korištenjem Shockley-eve jednadžbe za idealnu diodu, gdje je n faktor injekcije (najčešće između 1 i 2), I_s je reverzna struja zasićenja, V_t je termalni napon, k je Boltzmann-ova konstanta (1.381*10^{-23} J/K) i q je elementarni naboj. Za idealnu ćeliju R_{sh} je beskonačno velik i kroz njega ne teče struja, a R_s je jednak nuli.

$$I = I_L - I_D - I_{sh} \tag{2-1}$$

$$I_D = I_s[\exp\left(\frac{V + IR_s}{nV_T}\right) - 1] \tag{2-2}$$

$$V_T = \frac{kT}{q} \tag{2-3}$$

Struja generirana foto-naponskom ćelijom dijeli se na izlaznu struju i struju gubitaka, koju čine struja na unutrašnjem otporu i na diodi. Strujno-naponska karakteristika foto-naponske ćelije prikazana je na slici 2.3.



Slika 2.3. Strujno-naponska karakteristika foto-naponske ćelije [6]

Maksimalna snaga foto-naponske ćelije ovisna je o temperaturi okoline i razini zračenja. Zbog velike gustoće snage, foto-naponske ćelije su dobro rješenje za izvor energije u prostorima s dovoljno svjetlosti.

2.2. Pohrana energije

U procesu pohrane energije glavni cilj je električnu energije pretvoriti u elektrokemijsku, što je najčešći slučaj u praksi. Postoje različite tehnologije pohrane energije od kojih svaka ima specifične karakteristike, kao što su kapacitet, snaga, te broj ciklusa punjenje/pražnjenje [7]. Izbor određene tehnologije pohrane energije ovisi o aplikaciji za koju je predviđena. Osim navedenih fizikalnih svojstava koju uređaji za pohranu energije trebaju zadovoljiti, često se kao jedan od zahtjeva nameće i fizička dimenzija. Najčešće vrste uređaja koje se koriste za pohranu energije u sustavima žetve energije su baterije, kondenzatori, super-kondenzatori ili hibridna kombinacija nekih od uređaja. Podsustav pohrane energije značajno utječe na dimenzije, cijenu te životni vijek sustava za žetvu energije.

Olovne baterije su najčešće korištene u većim uređajima. Njihova prednost nad ostalim vrstama su visoka pouzdanost, učinkovitost te niska cijena, ali ne mogu podnijeti veliki broj pražnjenja te su osjetljive na vremenske uvjete (temperatura). NiCd (*engl. Nickel–Cadmium*) baterije imaju dugi životni vijek, brzo se pune, ali im je glavni nedostatak mali kapacitet. Dobra zamjena za NiCd baterije su NiMH (*engl. Nickel–metal hydride*) baterije zbog puno boljeg kapaciteta ćelije [7]. Litij-ionske baterije su baterije s visokom učinkovitošću, gustoćom snage i naponom ćelije prikladnim za napajanje elektroničkih uređaja. Trenutno imaju visoku cijenu, a prilikom intenzivnih ciklusa punjenja/pražnjenja mogu se i zapaliti. U odnosu na ostale vrste baterija zahtijevaju znatno složeniji način kontrole napona ćelija u većim baterijskim modulima.

Temperatura okoline u kojoj se baterija nalazi igra važnu ulogu u predviđanju životnog vijeka baterije. Nominalne vrijednosti baterija su najčešće dobivene na sobnoj temperaturi od 20 °C. Svako značajno odstupanje rezultirati će kraćim životnim vijekom baterije.

Super-kondenzatori su uređaji koji su karakteristični po puno većoj gustoći snage u odnosu na baterijske ćelije. Maksimalni napon je ograničen naponom proboja izolatora [8]. U usporedbi s baterijama, super-kondenzatori imaju nekoliko prednosti :

- velik broj ciklusa punjenja/pražnjenja bez degradacije u performansama i kapacitetu kondenzatora, najčešće između 500,000 i 1,000,000
- mogućnost brzog punjenja i pražnjenja
- velik raspon temperatura koje neće utjecati na performanse, od - 40 °C do + 65 °C

Primjena super-kondenzatora je često ograničena strujom curenja [8] koja se javlja kod svih kondenzatora. Struja curenja može isprazniti kondenzator čak 5-10 % dnevno. Međutim, redovitim punjenjem, super kondenzator može imati životni vijek i do 20 godina.

Precizna procjena stanja napunjenosti (engl. SoC – State of Charge) važan je korak kod održavanja i dizajniranja sustava za pohranu energije. Jedan je od najsloženijih koraka jer puno faktora utječe na starenje baterije/kondenzatora. Promjena fizikalnih i kemijskih svojstava elektrolita te korozija elektroda su samo neki od njih. Najčešći načini određivanja stanja napunjenosti baterije su mjerenje napona ćelije, mjerenje amper sati i test pražnjenjem [9]. Mjerenjem napona ćelije moguće je brzo odrediti stanje ćelije, ali u velikom broju slučaja brzina i jednostavnost metode dolaze u kombinaciji s nepouzdanošću. Test kapaciteta baterije pražnjenjem je najpouzdaniji i najtočniji pokazatelj stanja baterije, ali je vremenski zahtjevan i zbog toga se koristi samo prilikom karakteriziranja novih baterijskih ćelija ili modula. Mjerenje amper sati je princip koji koristi većina uređaja za kontrolu baterijskih ćelija. Temelji se na mjerenju pada napona na otporniku male vrijednosti, do nekoliko desetaka mΩ, te se zatim određuje SoC baterije pomoću izračuna koji se izvršavaju na mikro-kontroleru [9].

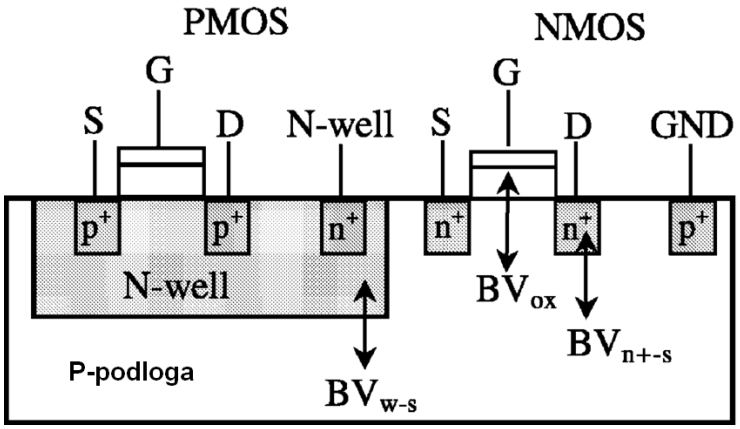
2.3. Pretvarač energije

Da bi se energija generirana od izvora mogla pohraniti u neki od navedenih uređaja za pohranu energije potrebnu ju je pretvoriti u prikladan oblik. Nekontroliranu i promjenjivu električnu energiju treba pretvoriti u električke veličine, napon, struju, frekvenciju koje neće oštetiti bateriju ili kondenzator. U današnjim sustavima koriste se isključivo naponski pretvarači koji rade na principu preklapanja. Razlog tomu su manji gubitci u odnosu na linearne naponske pretvarače u kojima dolazi do konstantne disipacije energije na elementima strujnog kruga. Razne topologije i varijacije „switch mode“ pretvarača su razvijene. U ovom radu je primijenjena „buck“ topologija te je princip rada „buck“ pretvarača opisan u četvrtom poglavlju.

3. INTEGRIRANA TEHNOLOGIJA

3.1. TSMC18 CMOS tehnologija

TSMC018 je 180 nano-metarska tehnologija tvrtke Taiwan Semiconductor Manufacturing Company. Riječ je o CMOS tehnologiji kojoj je minimalna duljina kanala MOS tranzistora 180 *nm.* Maksimalna vrijednost napona koju tranzistori mogu podnijeti je 3 *V,* s tolerancijom do 10%. Standardna ćelija sastoji se od PMOS i NMOS tranzistora kao što je prikazano na slici 3.1. Osim MOS tranzistora TSMC018 u svojoj bazi komponenti pruža mogućnost korištenja i drugih tipova elektroničkih komponenti kao što su, bipolarni tranzistori, diode, otpornici, kondenzatori i razne druge komponente.



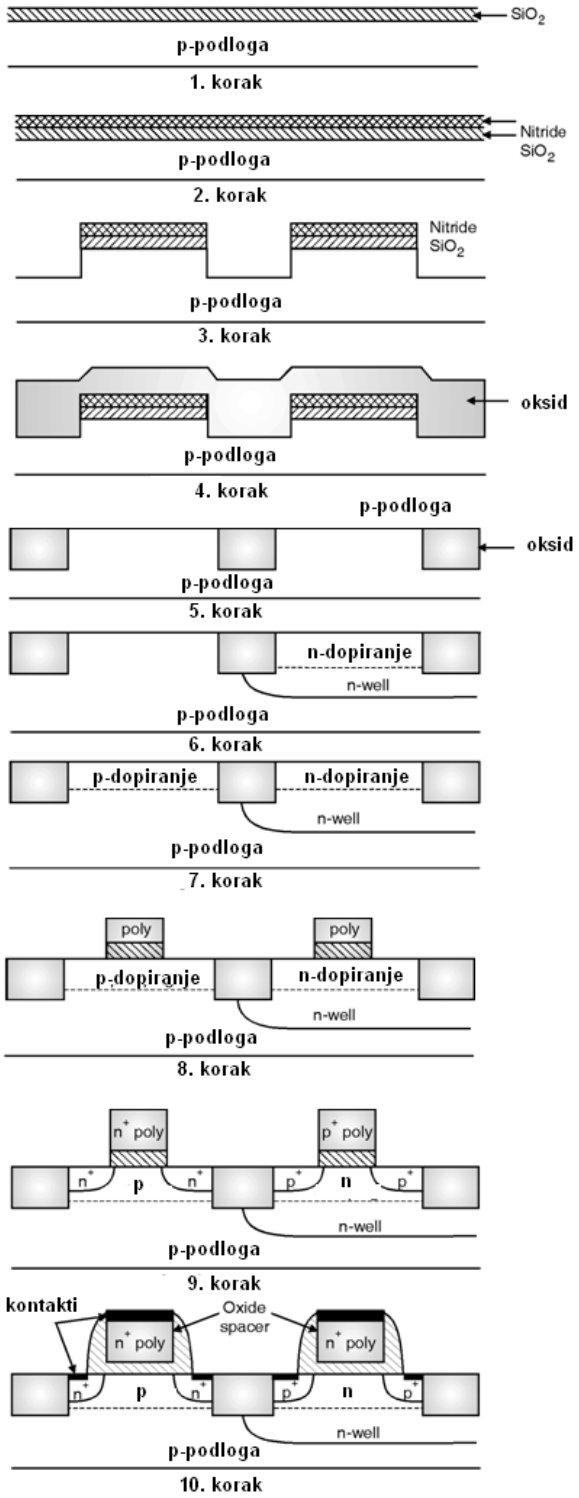
Slika 3.1. CMOS ćelija [10]

3.2. N-well proces

CMOS tehnologija kroz povijest procesirana je na različite načine. N-well proces jedan je od načina procesiranja integriranih komponenti na siliciju, a postao je popularan zbog manjeg utjecaja podloge na napon praga tranzistora i manjih parazitnih kapaciteta povezanih sa „source“ i „drain“ područjima tranzistora na siliciju [11]. Integrirani krugovi koji se izrađuju n-well procesom za podlogu koriste silicij p-tipa. Slika 3.2. prikazuje korake izrade CMOS ćelije n-well procesom.

Na prazni wafer (*engl. Wafer* – komad silicija koji se koristi za proizvodnju integriranih sklopova) p-tipa nanosi se SiO_2 sloj oksida. Rotacijom se nanosi tanki sloj foto-otpornog materijala na oksid. Zatim se wafer izlaže pod UV svjetlost zajedno s n-well maskom u procesu koji se zove fotolitografija. Foto-otporni sloj se uklanja korištenjem kemijskih otopina te se zatim korištenjem kiseline jetkaju dijelovi koji su ostali nezaštićeni foto slojem. Nakon proces jetkanja, foto sloj se također uklanja s wafera. N-well se formira difuzijom ili ionskom implantacijom.

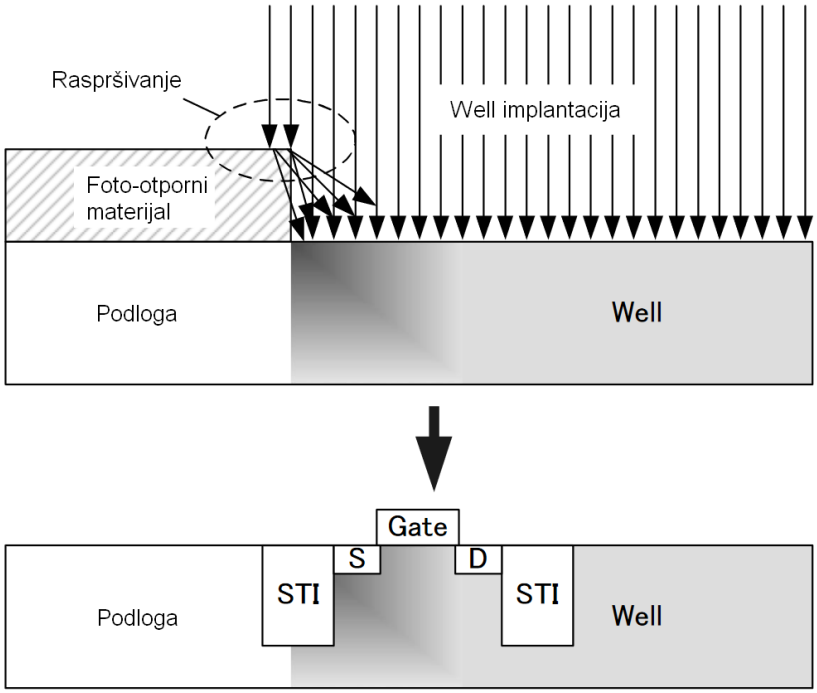
Nakon što je n-well formiran, naneseni sloj SiO_2 se uklanja, i nanosi se tanki sloj „gate“ oksida. Na „gate“ oksid se polaže poli-silicij koji se koristi kao upravljačka elektroda. Proces fotolitografije u kombinaciji s pripadajućom maskom se ponavlja te se na taj način formiraju područja na kojima je potreban poli-silicij. Wafer se prekriva oksidom kako bi se definirala n difuzijska područja. Difuzijom ili ionskom implantacijom kreiraju se n+ područja. Naneseni oksid se uklanja te se isti procesi ponavljaju za kreiranje p+ područja. Nakon što su dodana p+ područja, nanosi se sloj oksida koji će se ukloniti na mjestima gdje će se nanijeti sloj metala. Nakon uklanjanja viška metala CMOS n-well proces je završen te se nastavlja s procesiranjem ostalih slojeva integriranog kruga i veza među njima.



Slika3.2. N-well procesni koraci [12]

3.3. Well proximity efekt

Well proximity efekt je posljedica procesa izrade integriranih krugova te može utjecati na rad MOS tranzistora. Prije implantacije primjesa koje formiraju well područje, potrebno je nanijeti foto-otporni materijala oko željene površine na kojoj će se kreirati well, kako bi se spriječilo prodiranje iona u ostatak wafera. Međutim, na rubnim područjima ioni primjesa reagiraju s atomima foto-otpornog materijala te dolazi do raspršivanja[13]. Postoji više različitih ishoda, koji su slučajne prirode, prilikom raspršivanja iona. Neki od iona će se zaustaviti na foto-otpornom materijalu (foto-materijal nestaje sa površine wafera), na rubovima foto-otpornog materijala ioni se reflektiraju i prodiru u wafer (na dijelu wafera dolazi do povećanje koncentracije) te normalna implantacija u wafer gdje su primjese jednako raspoređene. Nejednaka koncentracija iona u waferu se može formirati i do 1 μm od ruba foto-otpornog materijala [14]. Slika 3.3. prikazuje well proximity efekt.



Slika 3.3. Raspršivanje iona prilikom implantacije [13]

Ionska implantacija se često izvodi pod malim kutom, vertikalno u odnosu na wafer. Ukoliko se tranzistor nalazi preblizu well područja, raspršene primjese utječu na njegove električne karakteristike, od kojih je najznačajnija povećanje napona praga [13].

3.4. Integrirani otpornik

Dizajniranje integriranih elektroničkih krugova bez obzira o kojoj CMOS tehnologiji se radilo, može se podijeliti u dvije domene, digitalnu i analognu. Digitalni dizajn je temeljen na međusobnom spajanju PMOS i NMOS tranzistora od kojih se tvore različiti digitalni sklopovi dok su za analogni dizajn osim spomenutih komponenti potrebne i pasivne komponente. Otpornici, kondenzatori i induktivni elementi, sastavni su dio analognih sklopova bilo da se radi o diskretnoj ili integriranoj izvedbi. Međutim, postoji razlika u fizičkoj izvedbi takvih elektroničkih elemenata na siliciju.

Otpornik je element elektroničkog kruga koji se opire protjecanju struje. Postoji nekoliko različitih vrsta odnosno načina izrade otpornika na poluvodičkom waferu. U ovom diplomskom radu su korišteni samo otpornici od poli-kristalnog silicija. Nedopiranom poli-kristalnom siliciju dodaju se nečistoće n ili p tipa. Tolerancija vrijednosti otpornika napravljenog od poli-kristalnog silicija je +/- 20%. Poli-otpornici često se upotrebljavaju u integriranim krugovima zbog velikog površinskog otpora, na maloj površini silicija može se postići velika vrijednost otpora. Manja površina integriranog kruga, smanjuje cijenu procesiranja.

Otpor svih materijala je ovisan o temperaturi. Prilikom dizajniranja elektroničkih sklopova koji sadrže otpornike, a moraju biti stabilni na velikom rasponu temperatura, to svojstvo otpora znatno može utjecati na ponašanje sklopa od promjene karakteristike sklopa pa do te mjere da sklop uopće ne obavlja svoju funkciju. Dva su osnovna razloga zašto otpornost materijala ovisi o temperaturi. Kako temperatura raste tako se povećava broj sudaranja između nosioca naboja i atoma u materijalu što za posljedicu ima određeno povećanje otpora samog materijala, te se u tom slučaju radi od materijalu s pozitivnim temperaturnim koeficijentom [12]. Ako se s povećanjem temperature otpor materijala smanjuje, tada taj materijal ima negativna temperaturni koeficijent, razlog tome je oslobađanje većeg broja nosioca naboja čime se povećava vodljivost materijala.

Otpor materijala (R) na nekoj temperaturi se može izračunati ako nam je poznata temperatura (T), temperaturni koeficijent određenog materijala (α) i otpornost materijala na referentnoj temperaturi (R_{ref}) [13]. Temperaturni koeficijent otpora je standardiziran u odnosu na sobnu temperaturu tj. za referentu temperaturu (T_{ref}) se koristi 20 °C pa formula izgleda ovako:

$$R = R_{ref}[1 + \alpha(T - 20)] \tag{3-1}$$

Ako znamo vrijednost otpora na referentnoj temperaturi i vrijednost otpora na temperaturi različitoj od referentne, temperaturni koeficijent otpora možemo izračunati sljedećom formulom:

$$\alpha = \frac{1}{R}\frac{dR}{dT} \tag{3-2}$$

Osim temperaturnog koeficijenta otpora kao svojstvo otpornika pojavljuje se i naponski koeficijent otpora. Ukoliko kroz otpornik protječe struja ovisno o padu napona na otporniku vrijednost otpora će se mijenjati. Naponski koeficijent otpora može se izraziti kao omjer promjene otpora u omima i promjene napona, ako je temperatura konstantna [12].

$$VCR = \frac{1}{R}\frac{dR}{dV} \tag{3-3}$$

Tablica 3.1 prikazuje temperaturne i naponske koeficijente otpora za materijale koji se najčešće primjenjuju u integriranoj tehnologiji.

Materijal	**R/□ [Ω/□]**	**α [ppm/°C] @ T = 25 °C**	**VCR [ppm/V]**
N+ poly	100	-800	50
P+ poly	180	-200	50
N-well	1000	-1500	20000

Tablica 3.1 Temperaturni i naponski koeficijenti različitih materijala [17]

3.5. Integrirani kondenzator

Integrirani kondenzatori su ključni elementi integriranih analognih elektroničkih krugova. Isto kao i otpornici predstavljaju veliki izazov prilikom dizajniranja jer na siliciju zauzimaju značajnu površinu. U mikroelektronici najvažniji parametar kondenzatora je kapacitivna gustoća C'_{ox} [15], jer direktno utječe na cijenu procesiranja. Mjerna jedinica je $fF/\mu m^2$ i ovisi o vrsti tehnologije. Svojstva dobrog kondenzatora su veliki faktor dobrote, odnosno mali gubitci, veliki napon proboja, neovisnost kapaciteta o naponu, veliki površinski kapacitet, mali parazitni kapaciteti te što manja struja curenja [18]. Izraz za kapacitet kondenzatora je direktno proporcionalan dielektričnoj konstanti (ε) i površini vodljivog materijala (A), a obrnuto proporcionalan udaljenosti između vodljivih materijala.

$$C = \frac{\varepsilon A}{d} \tag{3-4}$$

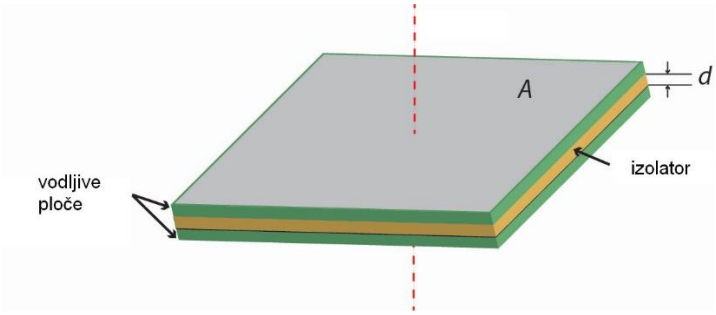
S fizikalne strane, poboljšanje kapaciteta integriranog kondenzatora u određenoj tehnologiji možemo ostvariti varijacijom tri faktora: primjena izolatora s većom dielektričnom konstantom, manjom udaljenosti između slojeva metala ili povećanjem površine kondenzatora (povećanje cijene). Različite tehnologije imaju različite fizičke karakteristike, debljinu slojeva, udaljenost između slojeva, te iste fizičke karakteristike prilikom proces izrade čipa ne moraju uvijek biti uniformne. Zbog toga je tolerancija kapaciteta integriranih kondenzatora oko 20 % [19]. Najčešće korišteni tipovi kondenzatora u integriranim krugovima su PN kondenzator, MOS kondenzator, MIM kondenzator i MOM kondenzator.

PN kondenzator je na siliciju izveden kao dioda. Ako diodu nepropusno polariziramo na PN spoju će se stvoriti osiromašeno područje te će dioda imati, po vrijednosti mali, kapacitivni karakter.

MOS tranzistor se također može ponašati kao kondenzator tako što oksid upravljačke elektrode predstavlja izolator između vodljive površine upravljačke elektrode i elektroda „drain“ i „source“ koje su u tom slučaju međusobno spojene. Kapacitet po jedinici površine je puno veći nego kod ostalih vrsta kondenzatora zbog puno tanjeg izolatora upravljačke elektrode, ali kao i kod PN kondenzatora nedostatak je ovisnost kapaciteta o naponu. Mogu se koristiti za lokalno

filtriranje DC naponskih razina na čipu jer je taj napon konstantan, a PN ili MOS kondenzatori su puno manji u usporedbi s ostalim tipovima kondenzatora.

MIM kondenzator je kondenzator koji između dva sloja metala ima izolator s velikom dielektričnom konstantom. Najčešća je vrsta kondenzatora koja se koristi u analognom dizajnu te je također korišten u dizajnu CMOS naponskog pretvarača. MIM kondenzator prilikom izrade zahtjeva više procesnih koraka zbog korištenja nestandardnog izolatora na određenim područjima čipa gdje su smješteni kondenzatori. Mogu biti jednoslojni, dvoslojni, troslojni i tako dalje, ovisno o broju slojeva metala i izolatora, te o samoj procesnoj tehnologiji. Faktor kvalitete im je vrlo visok je su oba kontakta napravljena od metala i naponska ovisnost kapaciteta je zanemariva. Površinska gustoća kapaciteta MIM kondenzatora u TSMC018 tehnologiji je $C = 1\ fF/\mu m^2$ [19]. Slika 3.4. prikazuje strukturu MIM kondenzatora.

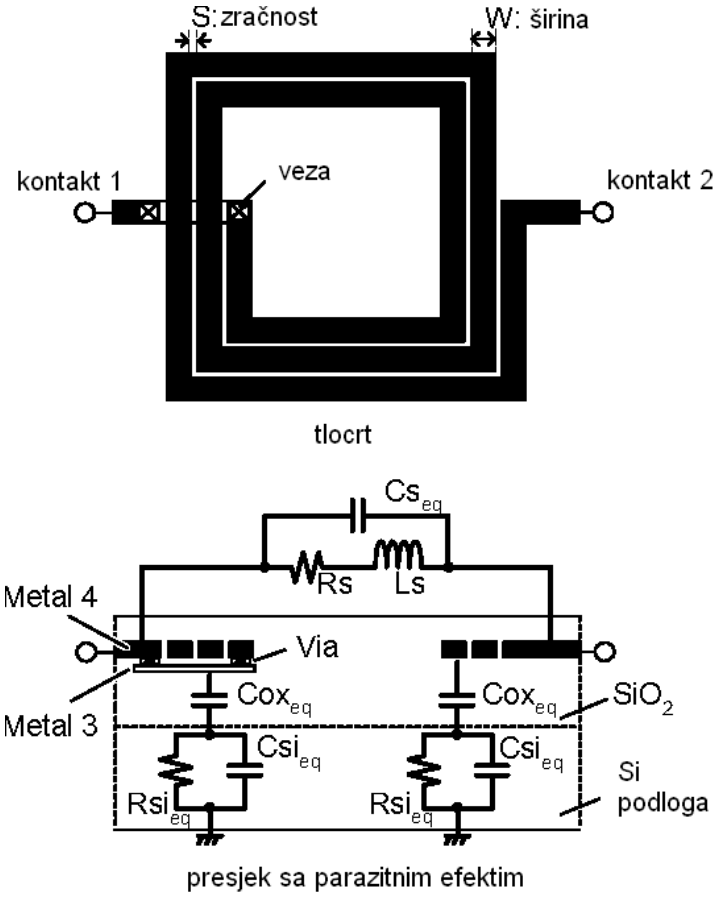


Slika 3.4 MIM kondenzator [20]

MOM kondenzatori su vrlo slični MIM kondenzatorima samo što se između metalnih slojeva nalazi oksid koji je definiran samim procesom izrade. Kapacitet po jedinici površine im je manji, ali također je i izrada jeftinija.

3.6. Integrirana zavojnica

Integrirane zavojnice također poznate i kao spiralne zavojnice, zbog načina izrade na siliciju, mogu se naći kao gotovi elementi u bazama komponenti programskih alata za izradu integriranih krugova. Iako svaka tehnologija za izradu integriranih krugova ima više slojeva metala, zavojnice se najčešće izrađuju na zadnjem sloju ili zadnja dva sloja, zbog manjeg parazitnog kapaciteta između zavojnice i podloge. Spiralne zavojnice izrađene na jednom sloju metala (kod TSMC018, M6 sloj) imaju mali induktivitet i mali parazitni kapacitet. Vezanjem dva sloja metala u jedan induktivni element, povećava se induktivitet zavojnice [21], ali kako je udaljenost između podloge i zavojnice manja, parazitni kapacitet se povećava. Slika 3.5. prikazuje spiralnu zavojnicu s potrebnim parametrima za dimenzioniranje te parazitnim efektima koji se javljaju na čipu.



Slika 3.5. Tlocrt spiralne zavojnice i presjek s parazitnim efektima [22]

Rezonantna frekvencija spiralne zavojnice je određena LC krugom kojeg tvore serijski induktivitet zavojnice i kapacitet između zavojnice i podloge, zajedno s kapacitivnom komponentom koja se javlja između dva sloja metala.

Niska rezonantna frekvencija spiralne zavojnice je posljedica velikog parazitnog kapaciteta, koji je određen velikom metalnom površinom koju čine vodiči spiralne zavojnice. Rezonantne frekvencije spiralnih zavojnica su u rasponu do GHz reda veličine [21].

Većina IC tehnologija u pravilima dizajniranja brani postavljanje aktivnih i/ili pasivnih komponenti ispod integriranih zavojnica što praktički sve slojeve ispod zadnja dva čini neupotrebljivima, a zavojnica s obzirom na omjer induktiviteta i površine, predstavlja najveću komponentu na siliciju.

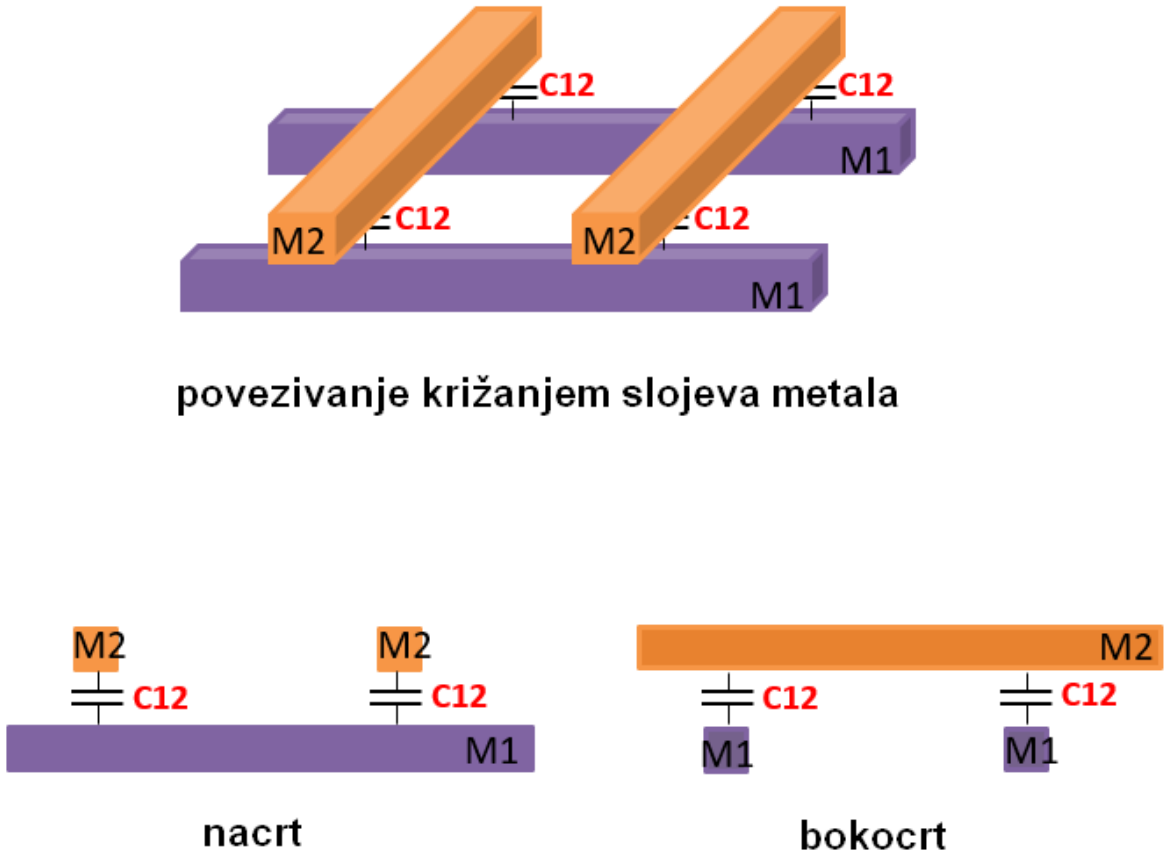
4. OSNOVNA PRAVILA „LAYOUT-A“ INTEGRIRANOG KRUGA

4.1. Orijentacija slojeva metala

Elektroničke komponente (tranzistori, otpornici, kondenzatori …) na waferu moraju se međusobno povezati kako bi signali mogli putovati cijelim čipom. Nemoguće je ostvariti sve veze na jednom sloju čipa pa se spajanje vrši na više vertikalnih razina odnosno slojeva. Ukupni broj vodljivih slojeva koji se mogu koristiti za kreiranje vodiča, definiran je tehnologijom u kojoj se čip izrađuje. Aluminij je materijal koji je dugo godina bio standard i koristio se za kreiranje vodiča u čipu, ali je krajem devedesetih godina polako zamijenjen bakrom [15]. Bakar je bolji vodič od aluminija pa su i dimenzije vodljivih linija u čipu mogle biti manje što je predstavljalo veliku prednost s obzirom na trend smanjivanja dimenzija ćelije. Nedostatak bakra u odnosu na aluminij je složeniji proces stvaranja sloja na čipu.

Nakon što se sloj aluminija izloži na čip, nepotrebni dijelovi se uklone, nanosi se sloj izolatora koji razdvaja dvije razine i proces stvaranja vodiča se ponavlja. Ako želimo kreirati vodiče od bakra, na čip se prvo izlaže sloj izolatora koji se zatim uklanja na mjestima gdje je potrebno nanijeti bakar. Bakar se nanosi galvanizacijom nakon čega se uklanja višak bakra na potrebnim mjestima.

Kao što je već spomenuto u tekstu iznad, dva sloja metala na čipu su odvojena izolatorom te dolazi do stvaranja parazitnih kapaciteta ako imamo dva sloja metala koji se preklapaju. Poželjno je prilikom dizajna, ako je moguće, svaki sloj metala polagati u suprotnim smjerovima. Na taj se način smanjuje parazitni kapacitet jer se kapacitivni karakter javlja samo na križanju dva sloja metala [23]. Slika 4.1. prikazuje parazitne kapacitete na križanjima dva metala. TSMC018 tehnologija omogućava kreiranje vodiča na šest razina koje su jednake debljine.



Slika 4.1. Parazitni kapaciteti među slojevima [23]

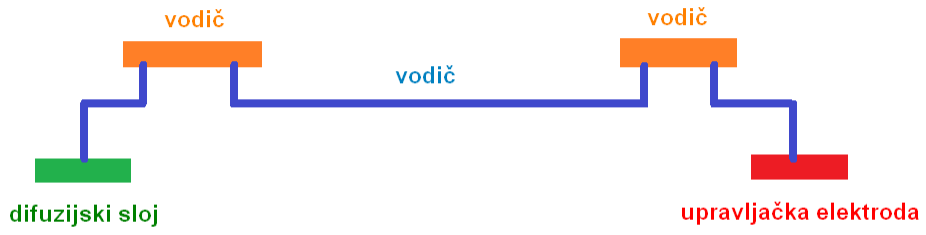
4.2. Antena efekt

Antena efekt ili PID (engl. *Plasma Induced Damage*) je efekt u kojem tijekom procesa proizvodnje integriranih krugova dolazi do nakupljanja naboja na slojevima čipa te do oštećenja tankog sloja oksida koji je u kontaktu s upravljačkom elektrodom [24]. Litografski procesi izrade čipova mogu koristiti i plazma jetkanje (suho jetkanje). Plazma je ionizirani plin koji se koristi za jetkanje jer omogućava veliku preciznost prilikom uklanjanja različitih oblika materijala.

Omjer ukupne površine upravljačke elektrode i ukupne površine sloja oksida naziva se Antena omjer [25]. Površina upravljačke elektrode direktno utječe na količinu naboja koja će se nakupiti na vodiču prilikom proizvodnog procesa.

Velika količina naboja nakupljena na vodiču upravljačke elektrode će stvorit veliko električno polje preko oksida upravljačke elektrode. Dva su osnovna načina sprječavanja negativnog utjecaja antena efekta.

Umetanjem spoja koji se sastoji od metala višeg sloja, dugački vodič upravljačke elektrode se prekida te će se na njemu nakupiti manja količina naboja. Dobra je praksa u dizajnu, postaviti električne veze što bliže upravljačkoj elektrodi i popeti se na viši sloj metala. Površina metalne veze je znatno manja od metalnih vodiča te se na njima neće nakupiti velika količina naboja, a u trenutku potpunog zatvaranja električnog kruga, niži slojevi metala neće utjecati na gornji, jer su već izrađeni te na njima nema prisutnog naboja. Slika 4.2. ilustrira spomenuto rješenje.



Slika 4.2. Sprječavanje Antena efekta spajanjem vodiča na višem sloju [24]

Druga metoda eliminiranja antena efekta ostvaruje se spajanjem nepropusno polarizirane diode, u blizini upravljačke elektrode tranzistora, koja će „isprazniti“ sav naboj prema podlozi i tako zaštiti upravljačku elektrodu tranzistora. U normalnim uvjetima rada dioda neće narušiti funkcionalnost integriranog kruga, osim što će povećati kapacitet linije te može doći do povećanog kašnjenja signala. Dodavanjem diode povećava se površina čipa.

Ako je Antena omjer veći u odnosu na dozvoljenu vrijednosti PDK (*engl. Process design kit*), doći će do kršenja pravila dizajniranja. Antena pravila dizajna su različita za svaku tehnologiju.

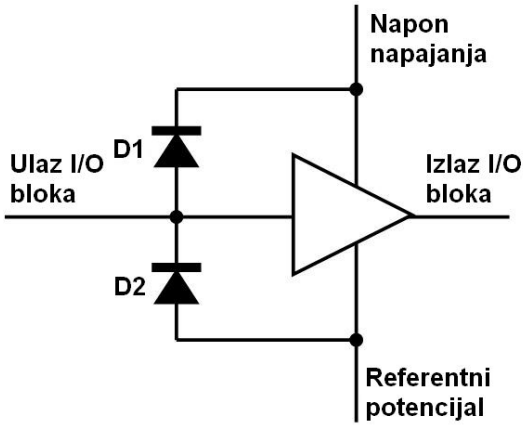
4.3. ESD zaštita

Elektrostatsko pražnjenje (*engl. Electrostatic discharge*) je jedan od mogućih uzroka uništavanja integriranog elektroničkog sklopa ili komponente te se može dogoditi tokom cijelog proizvodnog i logističkog procesa. Dva najčešća testa koja se obavljaju, prije plasiranja određenog uređaja na tržište, su test modelom ljudskog tijela i test modelom nabijenog uređaja.

Model ljudskog tijela je široko prihvaćen standard za testiranje u industriji. Modelom se nastoji replicirati elektrostatsko pražnjenje nabijenog ljudskog tijela. Kontakt između nabijenog tijela i komponente omogućuje prijenos naboja do unutrašnjosti integriranog kruga [26].

Model nabijenog uređaja je metoda verifikacije poluvodičkih uređaja na otpornost elektrostatskog pražnjenja. Testiranje modelom nabijenog uređaja sastoji se od nabijanja poluvodičke komponente određenom količinom naboja direktno kroz kontakte nakon čega komponenta dolazi u kontakt s vanjskim uzemljenjem, što izaziva pražnjenje naboja [27].

TSMC018 tehnologija sadrži I/O (*engl. Input/Output*) kontakte u kojima su integrirane zaštitne diode. Postavljanje I/O kontakata je nužno prilikom dizajna i samim tim procesom osigurava se ESD zaštita ulaza i izlaza elektroničkog sklopa. Kontakti u sebi sadrže dvije integrirane ESD zaštitne diode. Prva dioda je spojena između ulaznog signala i napona napajanja, na način da je katoda spojena na napon napajanja. Druga dioda je također spojena na ulazni signal, ali je drugi kontakt diode spojen na referentni potencijal. Ovim načinom spajanja dioda, I/O blok pruža zaštitu od pozitivnih i negativnih ESD impulsa. Slika 4.3. prikazuje način spajanja dioda.



Slika 4.3. ESD zaštitne diode [27]

5. IZVEDBA INTEGRIRANOG CMOS NAPONSKOG PRETVARAČA

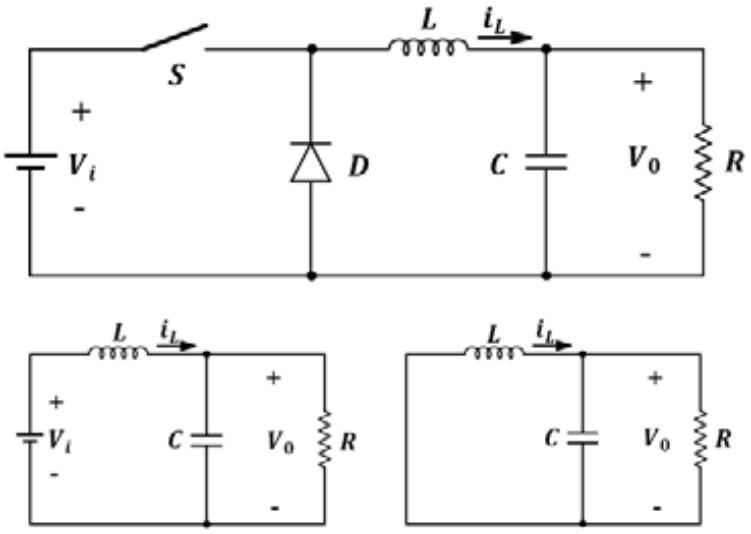
Za dizajn integriranog elektroničkog sklopa korišten je programski alat Cadence Virtuoso i TSMC018 VLSI tehnologija. Parametri elektroničkog sklopa dani su u Tablici 5.1.

Tehnologija	TSMC18
Ulazni napon	3 *V*
Izlazni napon	1.8 *V*
Izlazna struja	1 *mA*
Frekvencija	20 *MHz*
Efikasnost	što veća

Tablica 5.1. Parametri naponskog pretvarača

5.1. DC-DC „buck“ pretvarač

DC-DC „buck“ pretvarač je vrsta istosmjernog naponskog pretvarača kojemu je izlazni napon uvijek manji od ulaznog napona. Elektroničke komponente od kojih se sastoji svaki „buck“ pretvarač su zavojnica, kondenzator, dioda i elektronička sklopka. Osnovni krug „buck“ pretvarača prikazan je na slici 5.1..



Slika 5.1. Osnova shema „buck“ pretvarača

Pretvarač snižava razinu napona promjenom vremena u kojem zavojnica prima energiju s izvora. Elektronička sklopka koja spaja naponski izvor sa zavojnicom pretvarača najčešće je upravljana impulsnim signalom različite širine odnosno trajanja.

Kada je sklopka uključena, napon v_L koji se javlja na zavojnici L jednak je

$$v_L = V_i - V_o \tag{5-1}$$

a brzina promjene struje i_L kroz zavojnicu će ovisiti o induktivitetu zavojnice.

Tokom ovog perioda dioda D je nepropusno polarizirana i neće provoditi. Kada se sklopka otvori, dioda postaje propusno polarizirana i zatvara strujni krug. Struja kroz diodu je jednaka izlaznoj struji. Nakon otvaranja sklopke pretvarača, polaritet napona na zavojnici se mijenja što uzrokuje pad struje kroz zavojnicu.

„Buck“ pretvarač može raditi u kontinuiranom i diskontinuiranom načinu rada [28]. Kontinuirani i diskontinuirani način rada nazivi su koji opisuju struju zavojnice. U diskontinuiranom načinu rada postoji period u kojemu je struja koja teče kroz zavojnicu jednaka nuli, što nije slučaj kod „buck“ pretvarača koji radi u kontinuiranom režimu rada. U slučaju kontinuiranog režima rada, kroz diodu teče reverzna struja i dolazi do gubitaka u krugu. Ako se radi o pretvorbi niskih razina napona, napon na diodi je male vrijednosti kao i struja te se primjenjuje kontinuirani režim rada. Na velikim naponskim razinama, napon na diodi je također velik što unosi veće gubitke u strujni krug i zbog toga je poželjno koristiti diskontinuirani režim rada prilikom takve pretvorbe. Svaki od režim ima svoje prednosti i mane i prilikom dizajna najčešće se mora donijeti kompromis oko radnih karakteristika sklopa. Kontinuirani režim rada za posljedicu ima nešto veće gubitke pretvarača i zahtjeva veću vrijednost induktiviteta u odnosu na diskontinuirani režim, ali elektroničke sklopke mogu biti manjih dimenzija jer prilikom preklapanja ne dolazi do velikih odstupanja struje zavojnice.

Jedna od varijacija klasičnog „buck“ pretvarača je sinkroni „buck“ pretvarač. U ovoj izvedbi naponskog pretvarača, dioda je zamijenjena aktivnom elektroničkom sklopkom [28]. Zbog manjeg pada napona na FET tranzistoru smanjuju se i gubitci koji nastaju zbog reverzne struje.

Budući da u krugu imamo dva tranzistora odnosno sklopke, potrebno je osigurati da se upravljački signali ne preklapaju u istom vremenskom trenutku, što bi dovelo do uključenja oba tranzistora kroz koje bi potekla struja kratkog spoja.

Za sinkroni „buck“ pretvarač je karakteristično to što je uvijek u kontinuiranom režimu rada jer struja uvijek može teći kroz tranzistor [28], ili kroz nepropusno spojenu diodu koja je dio strukture tranzistora. Kada ulazni tranzistor „buck“ pretvarača prestane s vođenjem, reverzna struja će kratko vrijeme teći kroz diodu drugog tranzistora dok tranzistor ne počne s vođenjem.

Gubitci u pretvaraču su uglavnom gubitci preklapanja i gubitci vođenja. Gubitci vođenja nastaju kada struja protječe kroz elektroničke komponente te stvara pad napona na njima. Gubitci preklapanja izraženi su tokom preklapanja tranzistora [30].

Gubitci vođenja tranzistora ovise o otporu između „drain“ i „source“ elektroda kada je tranzistor uključen (R_{ON}), izlaznoj struji pretvarača (I_{OUT}), te omjeru izlaznog (V_{OUT}) i ulaznog (V_{IN}) napona pretvarača. Dodatne oznake H i L u varijabli R_{ON} raščlanjuju o parametru kojeg tranzistora se radi. Izvedene su iz terminologije gdje H označava „High-side“ uređaj, a L označava „Low-side“ uređaj na električnoj shemi prikazanoj na slici 5.2..

$$P_{ON,H} = I_{OUT}^2 * R_{ON,H} * \frac{V_{OUT}}{V_{IN}} \, [W] \tag{5-2}$$

$$P_{ON,L} = I_{OUT}^2 * R_{ON,L} * (1 - \frac{V_{OUT}}{V_{IN}}) \, [W] \tag{5-3}$$

Gubitci preklapanja tranzistora ovise o izlaznoj struji pretvarača (I_{OUT}), naponu na tranzistoru (kod prvog tranzistora napon V_{IN}, kod drugog tranzistora napon diode tranzistora V_D), vremenu porasta signala (t_r), vremenu pada signala (t_f) te frekvenciji preklapanja (f_{SW}). Oznake H i L u varijabli f_{SW} raščlanjuju o parametru kojeg tranzistora se radi.

$$P_{SW,H} = \frac{1}{2} * V_{IN} * I_{OUT} * \left(t_{r,H} + t_{f,H}\right) * f_{SW} [W] \tag{5-4}$$

$$P_{SW,L} = \frac{1}{2} * V_D * I_{OUT} * \left(t_{r,L} + t_{f,L}\right) * f_{SW} \, [W] \tag{5-5}$$

Izračun vrijednosti komponenti s obzirom na zadane parametre naponskog pretvarača:

Ulazni napon - $V_{IN} = 3\ V$

Izlazni napon – $V_{OUT} = 1.8\ V$

Frekvencija preklapanja – $f_{SW} = 20\ MHz$

Omjer uključenosti sklopke tokom perioda upravljačkog signala je jednaka

$$D = \frac{V_{OUT}}{V_{IN}} = \frac{1.8}{3} = 0.6 \tag{5-6}$$

$$\Delta I_L = \frac{(V_{IN} - V_{OUT}) * D}{f_{SW} * L} \tag{5-7}$$

Ako pretpostavimo da je vrijednost promjene struje zavojnice jednaka 20 % nazivne vrijednosti izlazne struje [29], pomoću sljedeće formule možemo izračunati vrijednost minimalnog induktiviteta.

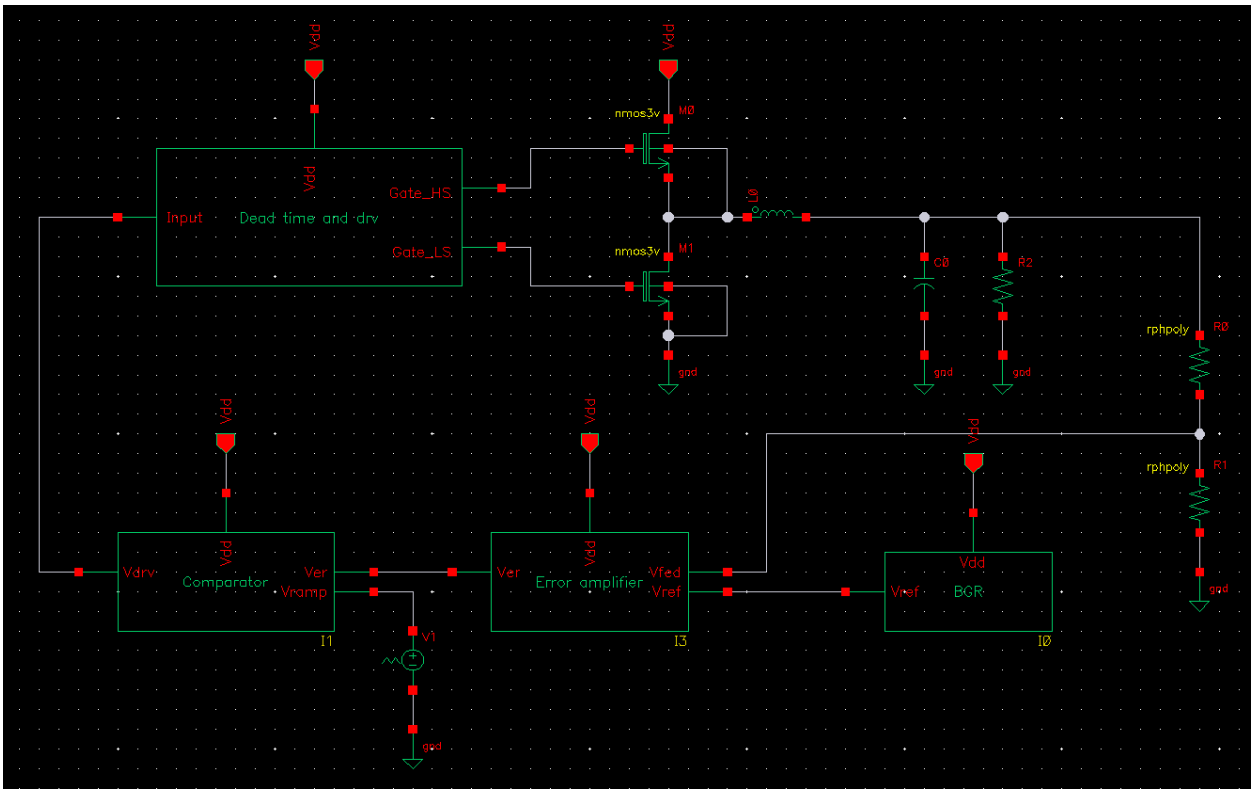
$$L = \frac{(V_{IN} - V_{OUT}) * D}{f_{SW} * \Delta I_L} = \frac{(3 - 1.8) * 0.6}{20000000 * 0.0002} = 180\ \mu H \tag{5-8}$$

Uz predviđenu promjenu izlaznog napona od 2 mV, izraz za minimalnu vrijednost kapaciteta izlaznog kondenzatora je

$$C_{OUT} = \frac{\Delta I_L}{8 * f_{SW} * \Delta V_{OUT}} = \frac{0.0002}{8 * 20000000 * 0.002} = 625\ pF \tag{5-9}$$

Dimenzije tranzistora su puno veće od dimenzija tranzistora koji su dovoljni za ostvarivanje izlazne struje pretvarača, kako bi otpor tranzistora bio što manji. Duljine kanala svih tranzistora u integriranom krugu su 720 nm. Blok shema „buck“ pretvarača s potpunim dimenzijama tranzistora je prikazana u prilogu 2.

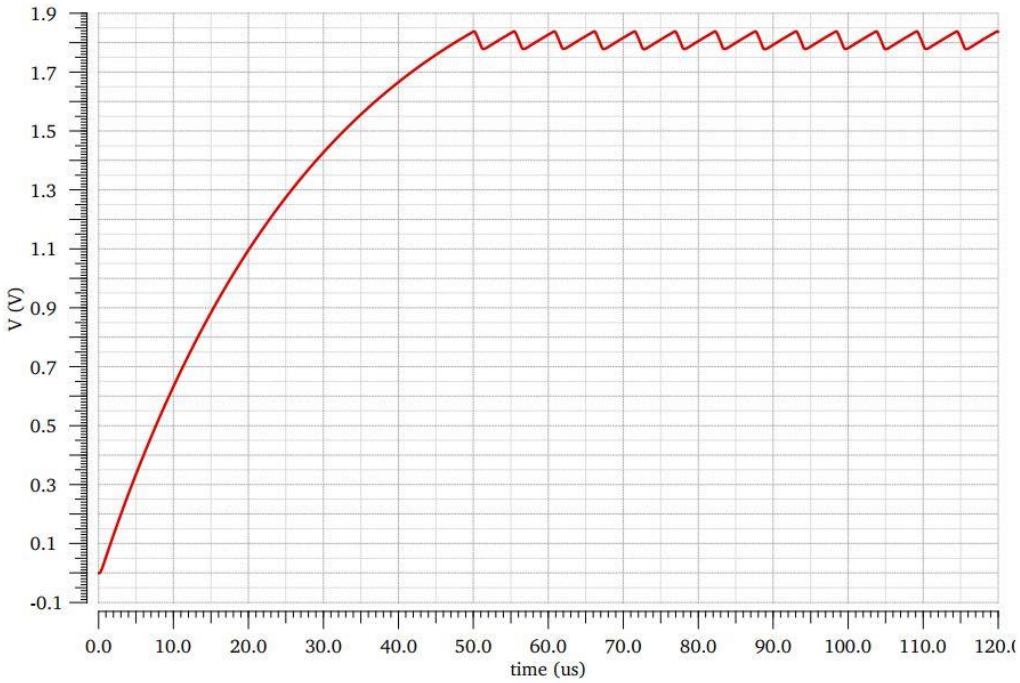
Slika 5.2. prikazuje blok dijagram naponskog pretvarača s izlaznim tranzistorima i pasivnim komponentama.



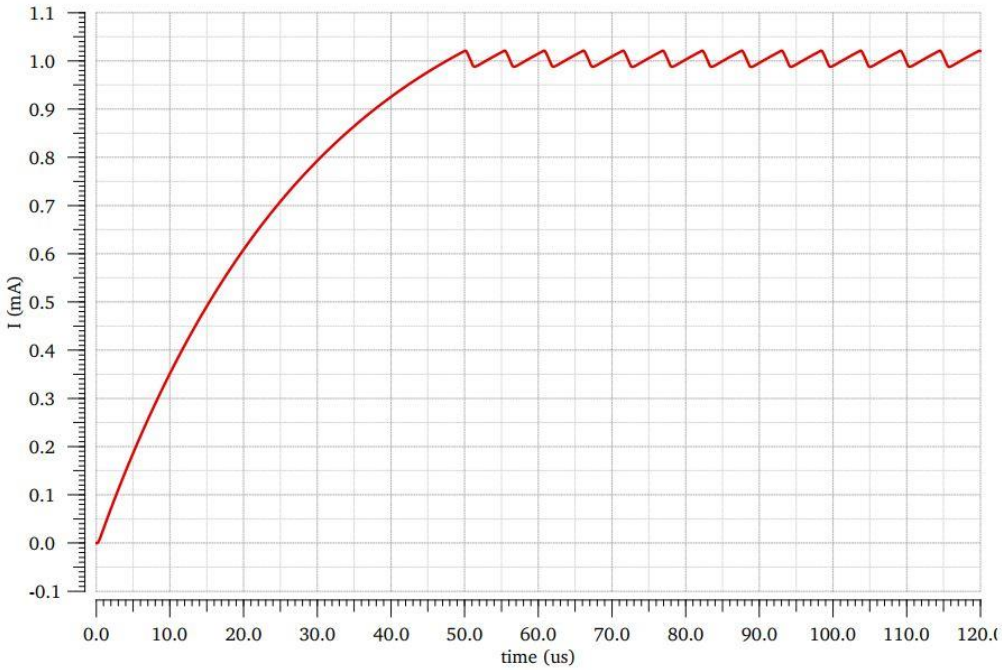
Slika 5.2. Blok shema naponskog pretvarača

Otpornici R0 i R1 tvore djelitelj napona koji izlazni napon spušta na 1.25 V. Izlazni napon pretvarača se uspoređuje s referentnim naponom. Operacijsko pojačalo pojačava razliku ta dva signala te se taj napon uspoređuje s eksterno generiranom rampom. Ako je razlika referentnog napon i izlaznog napona veća od signala rampe, komparator će na svom izlazu imati logičku jedinicu. Kada komparator promjeni stanje iz logičke nule u logičku jedinicu, generator upravljačkog signala će generirati dva komplementarna signala kojima će dodati zaštitno vrijeme. Zaštitno vrijeme je namjerno dodano kašnjenje upravljačkog signala jednog tranzistora u odnosu na upravljački signal drugog tranzistora koje osigurava da tranzistori nisu u isto vrijeme u stanju vođenja. Vremenski period od trenutka prestanka vođenja „High-side“ tranzistora i početka vođenja „Low-side“ tranzistora naziva se zaštitnim vremenom.

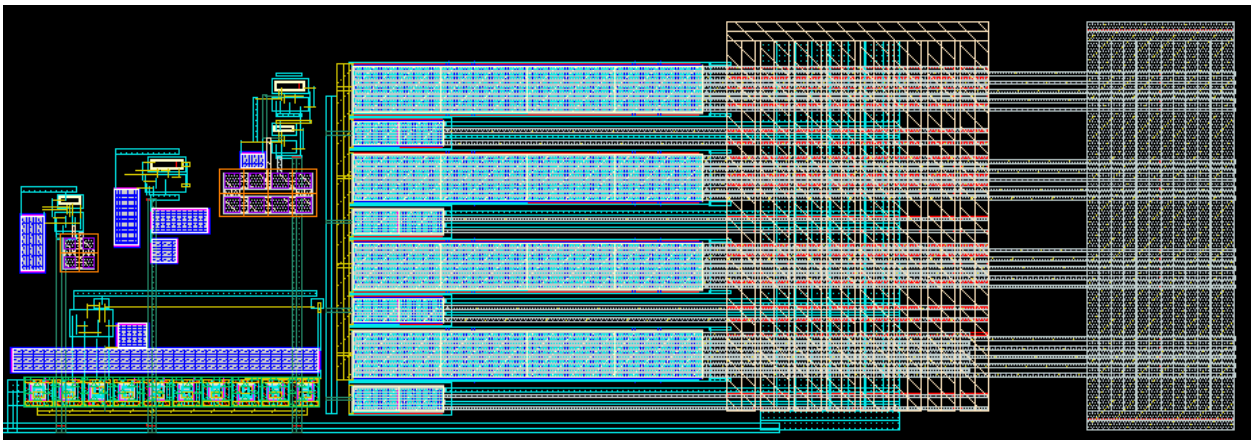
Slika 5.3 prikazuje izlazni napon pretvarača, a slika 5.4. prikazuje izlaznu struju pretvarača. Na signalima je vidljiva trokutasta promjena koja je posljedica protjecanje struje kroz zavojnicu.



Slika 5.3. Izlazni napon pretvarača

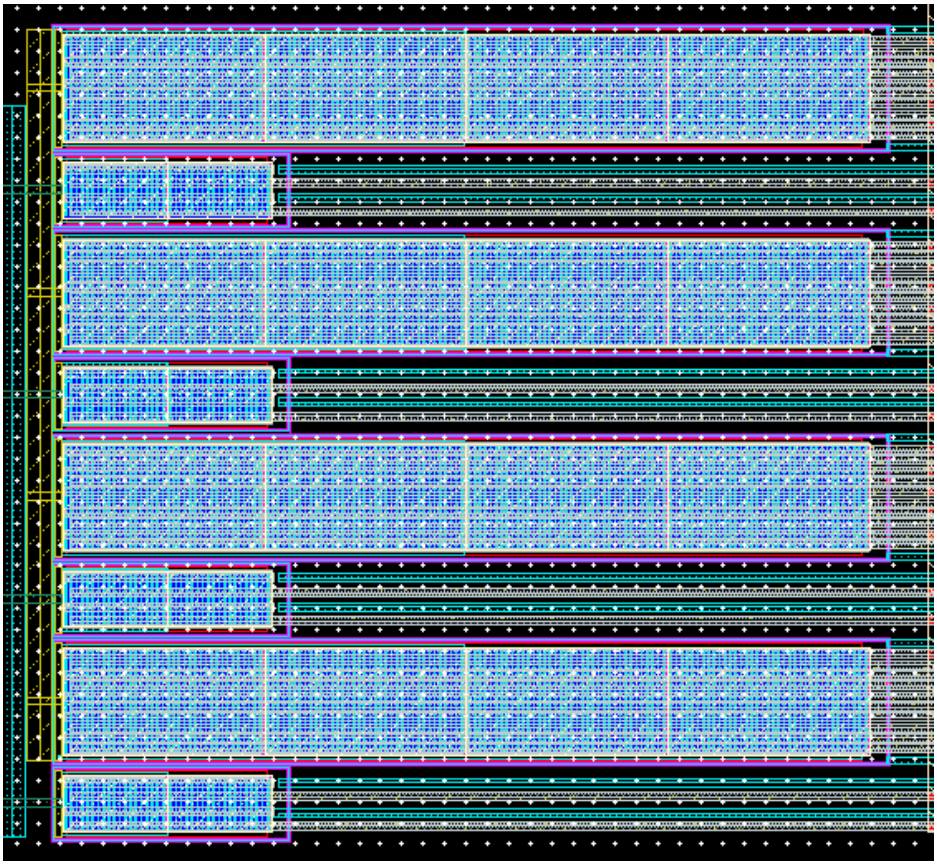


Slika 5.4. Izlazna struja pretvarača



Slika 5.5. Raspored komponenti naponskog pretvarača na siliciju

Slika 5.5. prikazuje raspored komponenti na siliciju. Prikaz integriranog kruga s metalima ispune i ulazno izlaznim kontaktima je prikazan u Prilogu 1. Na slici 5.6. su detaljnije prikazane tranzistorske sklopke. Vidljivo je kako se izlazni dio pretvarača sastoji od dvije sklopke čija je ukupna dimenzija kreirana spajanjem osam manjih tranzistora u jedan.

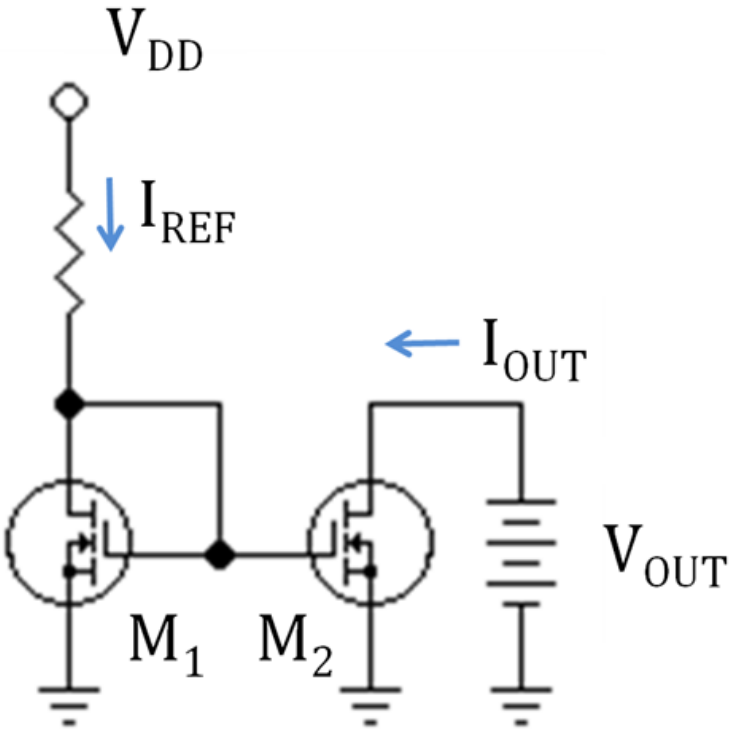


Slika 5.6. Izlazni tranzistori naponskog pretvarača

5.2. Strujno zrcalo

Strujno zrcalo je elektronički sklop koji propuštanjem struje kroz jedan (ulazni) aktivni uređaj, kontrolira vrijednost struje koja teče kroz drugi (izlazni) aktivni uređaj. Vrlo često se koristi u dizajnu integriranih elektroničkih krugova kao sklop koji će osigurati stabilnu struju pojedinim podsustavima čipa. U ovom diplomskom radu strujno zrcalo ne predstavlja niti jedan od glavnih blokova buck pretvarača, ali je sastavni dio operacijskog pojačala i komparatora koji se nalaze u povratnoj vezi.

Jednostavno strujno zrcalo, Widlar-ovo strujno zrcalo, Wilson-ovo strujno zrcalo i kaskodno strujno zrcalo različite su verzije sklopova koje obavljaju istu funkciju s varijacijama u performansama. U ovom diplomskom radu, obrađeno je jednostavno strujno zrcalo zbog jednostavnijeg dizajna i manje potrebne površine na čipu. Slika 5.7. prikazuje shemu strujnog zrcala.



Slika 5.7. Jednostavno strujno zrcalo [31]

Kod strujnog zrcala, MOSFET-i su uvijek u zasićenom području rada kada je elektroda „drain“ spojena s upravljačkom elektrodom, kao na slici 5.7..

Vrijednost struje koja teče kroz ulazni tranzistora je definirana strujnim izvorom, u ovom slučaju otpornikom iz čega slijedi da je struja kroz tranzistor odnosno referentna struja (I_{REF}) [31], ako zanemarimo efekt modulacije kanala jednaka

$$I_D = \frac{1}{2}\mu_n C_{ox}(\frac{W}{L})(V_{GS} - V_{th})^2 \tag{5-10}$$

$$K_n = \mu_n C_{ox} \tag{5-11}$$

Mijenjanjem vrijednosti otpora mijenja se i vrijednost referentne struje.

Dodavanjem ovisnosti struje o modulaciji kanala izraz za struju je jednak

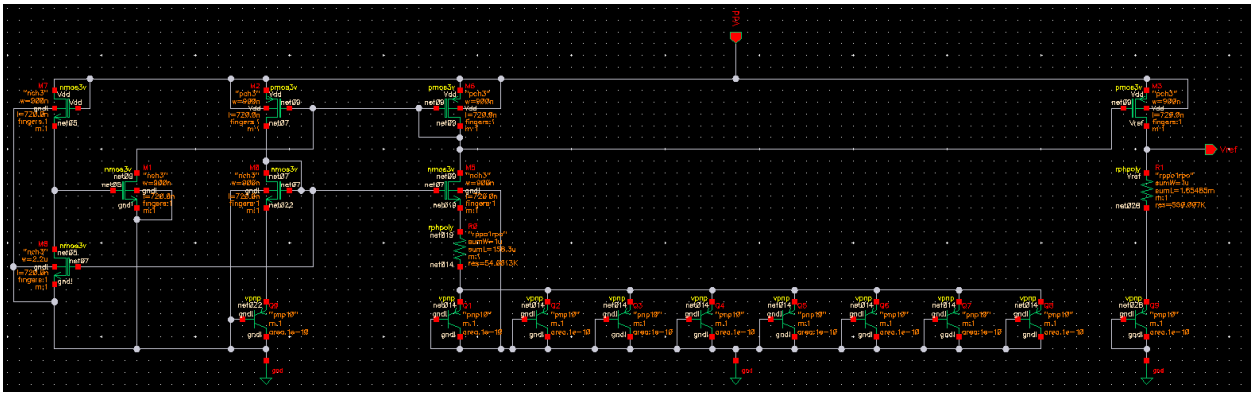
$$I_D = \frac{1}{2}K_n(\frac{W}{L})(V_{GS} - V_{th})^2(1 - \lambda V_{DS}) \tag{5-12}$$

Ako pretpostavimo da tranzistori imaju jednak napon praga vođenja, modifikacijom dimenzija dva MOSFET-a, možemo kontrolirati zrcaljenu struju strujnog zrcala.

5.3. Generator referentnog napona

Uz AD (*engl. Analog to Digital*) i DA (*engl. Digital to Analog*) pretvarače, regulatori napona su također skupina elektroničkih sklopova koja za ispravan rad zahtjeva preciznu naponsku referencu. Kako bi sklop ispravno radio, razina napona takvog generatora mora biti što neovisnija o temperaturi, naponu napajanja i različitim varijacijama proizvodnog procesa. U ovom radu je korištena „bandgap“ naponska referenca. Napon generiran takvim elektroničkim sklopom, može se koristiti isključivo za usporedbu s ostalim naponskim razinama, npr. izlaznog napona u svrhu kontrole sustava, a ne za napajanje ostalih elektroničkih krugova .

„Bandgap“ naponska referenca proizvodi temperaturno neovisan napon tako što kombinira dva napona sa suprotnim temperaturnim koeficijentima [15]. Na taj način se ostvaruje reguliranje naponske razine koja je neovisna o temperaturi. Shematski prikaz „bandgap“ naponske reference prikazan je na slici 5.8.. Elektronički sklop nema ulaznih signala osim napona napajanja, a na svom izlazu generira napon vrlo stabilne razine.



Slika 5.8. Shema naponske reference

CTAT (*engl. Complementary To Absolute Temperature*) napon posljedica je protjecanja struje kroz pnp tranzistor (Q0) koji je u diodnom spoju. Strujno zrcalo (M2 i M6) propušta istu struju kroz obje grane. Ako struju koja teče kroz diodu Q0 nazovemo referentnom (Iref) tada je ona jednaka sljedećem izrazu:

$$I_{ref} = \frac{V_D}{R_1} = I_s e^{V_D/nV_T} \tag{5-13}$$

I_S je reverzna struja zasićenja diode, n faktor injekcije, a V_T je termalni napon koji iznosi 26 mV. Iz izraza možemo odrediti vrijednost otpornika R u drugoj grani generatora napona.

$$R_0 = \frac{nV_T}{I_{ref}} \ln \frac{I_{ref}}{I_s} \tag{5-14}$$

Promjena referente struje u ovisnosti i temperaturi je jednaka

$$\frac{\partial I_{ref}}{\partial T} = \frac{\partial}{\partial T}\left(\frac{V_D}{R_0}\right) = \frac{1}{R_0} * \frac{\partial V_D}{\partial T} - \frac{V_D}{{R_0}^2}\frac{\partial R_0}{\partial T} \tag{5-15}$$

Ukupna promjena referente struje u ovisnosti o temperaturi je jednaka [15]

$$I_{ref}(T) = I_{ref}(T_0) * (1 + TC_{ref}(T - T_0)) \tag{5-16}$$

$$TC_{ref} = \frac{1}{I_{ref}} * \frac{\partial I_{ref}}{\partial T} \tag{5-17}$$

Napon na diodi ima negativan koeficijent i opada s nagibom od $\approx -1.6\ mV/°C$.

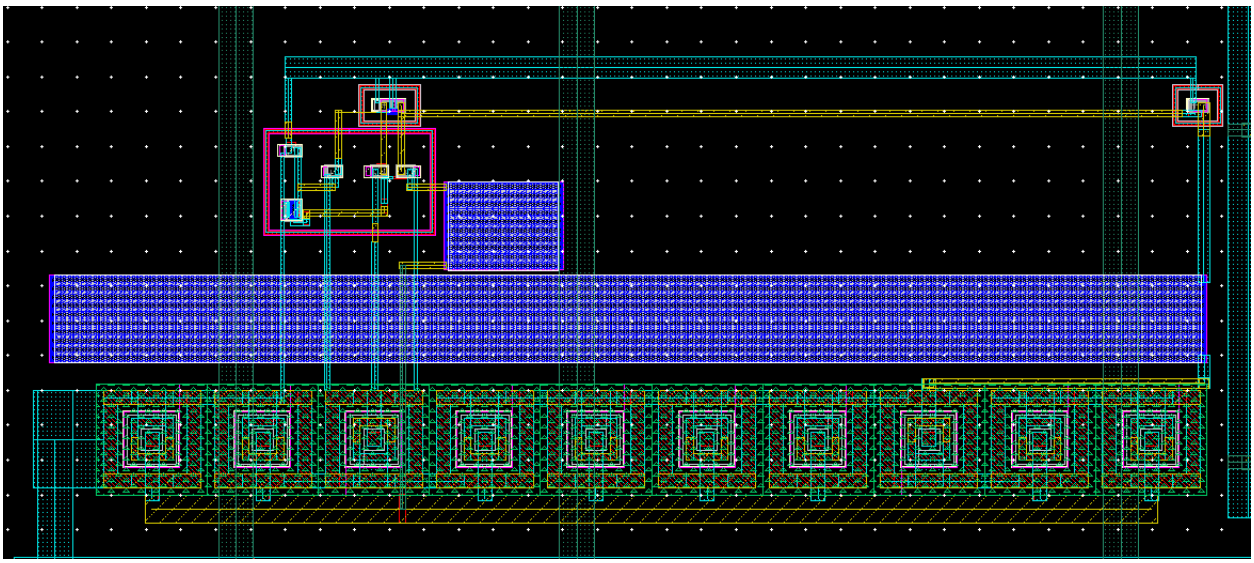
PTAT(engl. *Proportional To Absolute Temperature*) napon raste s porastom temperature, ali mu je nagib puno manji u odnosu na CTAT napon. Promjena PTAT napona jednaka je $\approx +86\ \mu V/°C$. Kako bi poništili utjecaj temperature na referentni napon, promjena pojedinih napona mora biti ista, što znači da PTAT napon moramo pojačati za određeni faktor.

$$V_{R2} = \frac{R_1}{R_0} * \ln(n) * V_T \tag{5-18}$$

U formuli V_T predstavlja PTAT komponentu, a ostalo je faktor α [15].

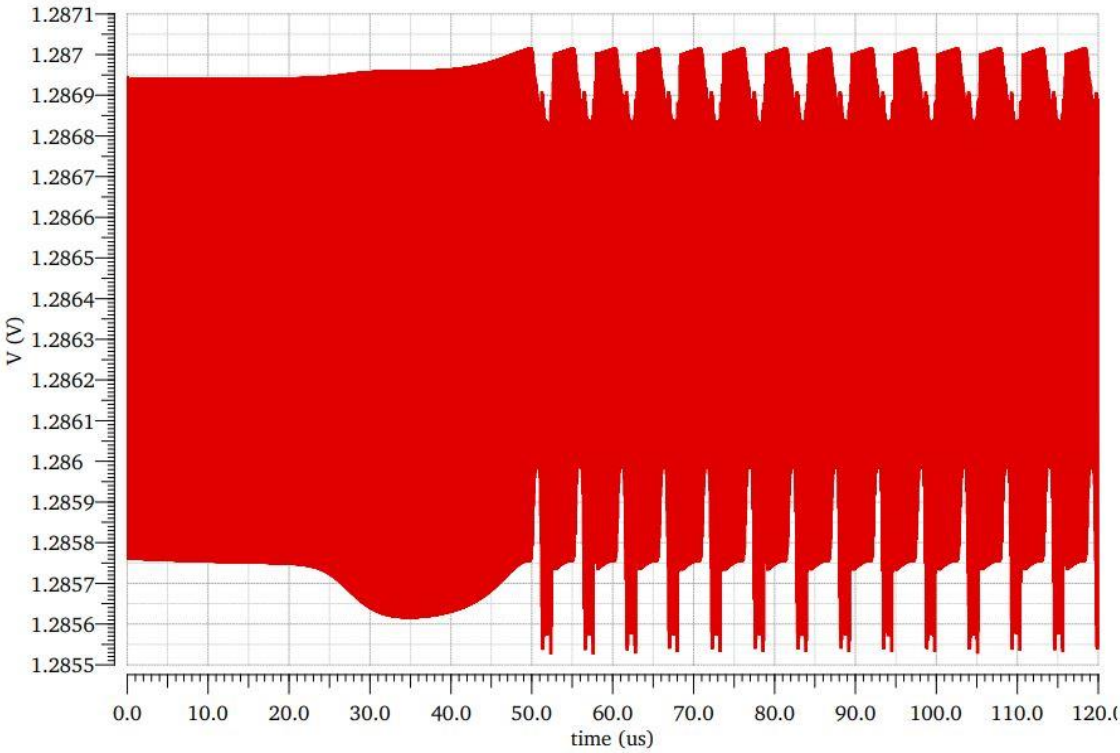
$$\alpha = \frac{R_1}{R_0} * \ln(n) \tag{5-19}$$

Parametar n predstavlja broj paralelno spojenih dioda. Neovisnost referentnog napona se može ostvariti i primjenom dvije diode, ali je zbog varijacija u procesiranju poželjno staviti veći broj tranzistora. Na slici 5.9. koja prikazuje raspored komponenti na siliciju, može se vidjeti da se sklop sastoji od 8 dioda, ne uključujući dvije diode koje se ne nalaze u toj grani. Svaki otpornik na slici sadrži deset množitelja odnosno ukupna vrijednost otpora je ostvarena serijskom vezom deset manjih otpornika. Na taj način se duljina integriranog otpornika smanjuje te je lakše posložiti komponente na silicij.

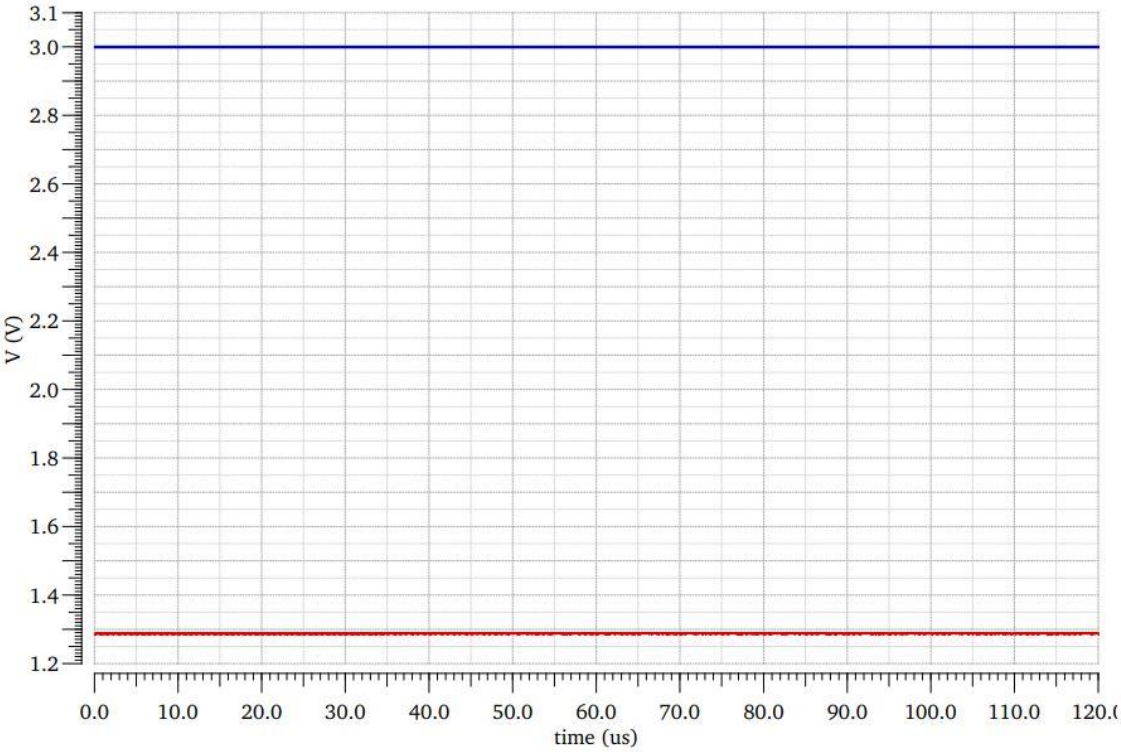


Slika 5.9. Raspored komponenti, generatora referentnog napona, na siliciju

Slike 5.10. i 5.11. prikazuju promjenu referentnog napona ovisno o napajanju DC-DC pretvarača. Zbog preklapanja u krugu dolazi do varijacije napona te razlika u maksimalnoj i minimalnoj vrijednosti referentnog napona iznosi 1.5 mV.



Slika 5.10. Promjena referentnog napona



Slika 5.11. Razine napona napajanja i referentnog napona

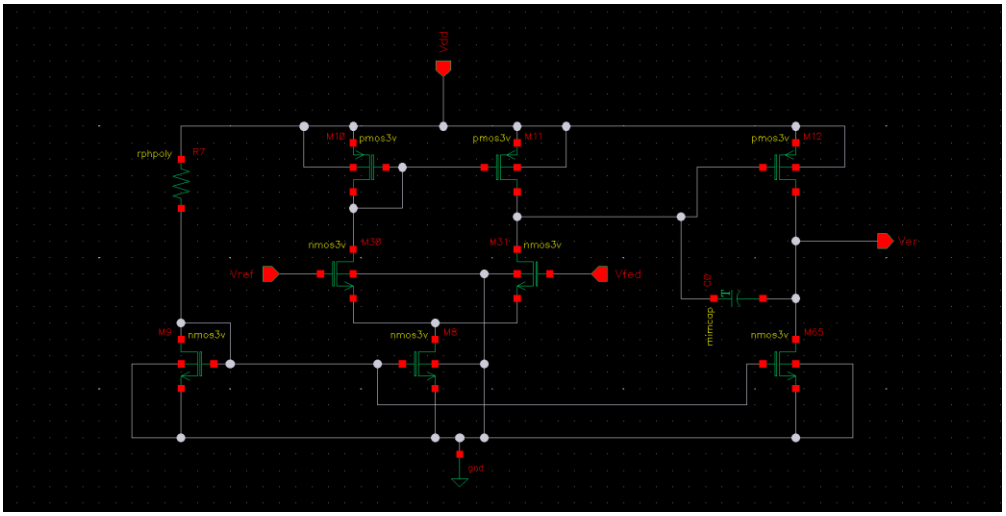
5.4. Operacijsko pojačalo

Operacijsko pojačalo je elektroničko pojačalo s diferencijalnim ulazom i najčešće jednim izlazom. Izlazni napon operacijskog pojačala je nekoliko tisuća puta veći od razlike napona na ulaznim kontaktima [32]. Specifičnim povezivanjem operacijskog pojačala s vanjskim signalima, moguće je ostvariti zbrajanje, oduzimanje, integriranje i deriviranje signala. Operacijsko pojačalo je sastavni dio komparatora, oscilatora, filtera, senzora i mnogih drugih elektroničkih krugova.

Glavna zadaća operacijskog pojačala je postići veliko pojačanje signala. Ulančavanjem više operacijskih pojačala moguće je postići puno veća pojačanja, i do 100 dB, nego samo s jednim pojačalom. Veliko naponsko pojačanje za posljedicu ima smanjivanje frekvencijskog opsega tako da se najčešće definira kompromis prilikom dizajniranja i određivanja specifikacije.

Operacijsko pojačalo se sastoji od dva stupnja, prvi je diferencijalni ulaz, a drugi stupanj je pojačalo u spoju zajednički „source“. Kako bi pojačalo bilo stabilno i na visokim frekvencijama potrebno je dodati kompenzacijski krug između dva stupnja operacijskog pojačala. U dizajnu ovog operacijskog pojačala korištena je Millerova kompenzacija. Millerov kondenzator spojen je između izlaza dva različita stupnja. Slika 5.12. prikazuje shemu operacijskog pojačala.

U DC-DC pretvaraču ulazni signali u pojačalo su referentni napon te izlazni napon pretvarača koji je skaliran na vrijednost jednaku referentnom naponu. Operacijsko pojačalo uspoređuje ta dva signala i na izlazu proizvodi napon koji se koristi za kontrolu pretvarača.



Slika 5.12. Shema operacijskog pojačala

Shema operacijskog pojačala s dimenzijama komponenti je prikazana u prilogu 4.

Kako bi odredili pojačanje operacijskog pojačala potrebno je definirati procesne parametre MOSFET-a, K_n' i K_p' [32]. Njih možemo izraziti iz struje tranzistora I_D ili strmine g_m.

$$g_m = \sqrt{2 * K_n' \left(\frac{W}{L}\right)} * \sqrt{I_D} \tag{5-20}$$

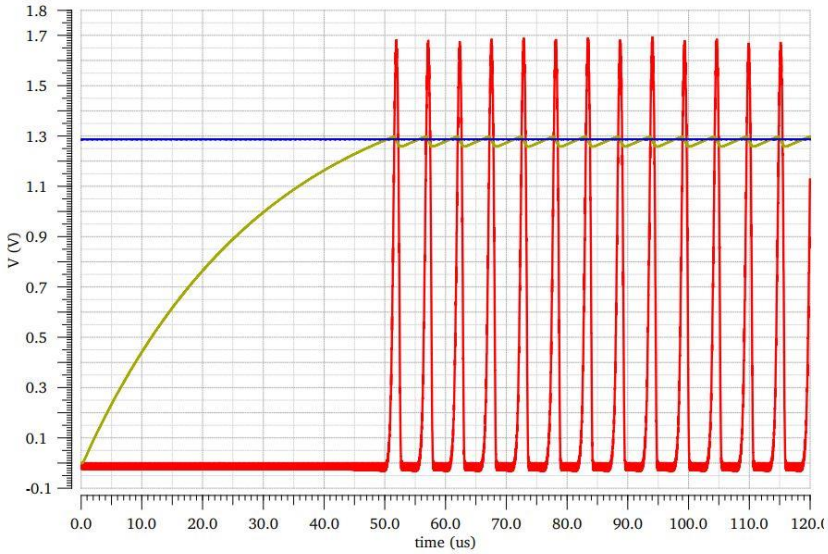
$$I_D = \frac{1}{2} K_n' (\frac{W}{L})(V_{GS} - V_{th})^2 \tag{5-21}$$

Izlazni otpor prvog stupnja R_1 je jednak paralelnom spoju dinamičkog otpora izlaznih tranzistora prvog stupnja, a otpor R_2 je jednak paralelnom spoju dinamičkog otpora izlaznih tranzistora drugog stupnja.

Pojačanje operacijskog pojačala je tada jednako

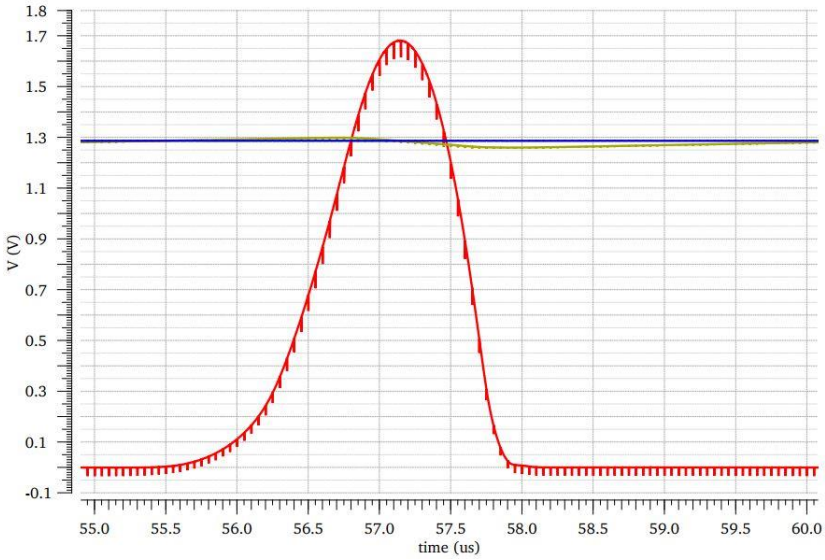
$$A_{dc} = g_{m1} R_1 * g_{m2} R_2 \tag{5-22}$$

Slika 5.13. prikazuje signale operacijskog pojačala. Žutom bojom je označen napon povratne veze DC-DC pretvarača, a plavom bojom je prikazan referentni napon. Crveni valni oblik je izlazni signal iz operacijskog pojačala.



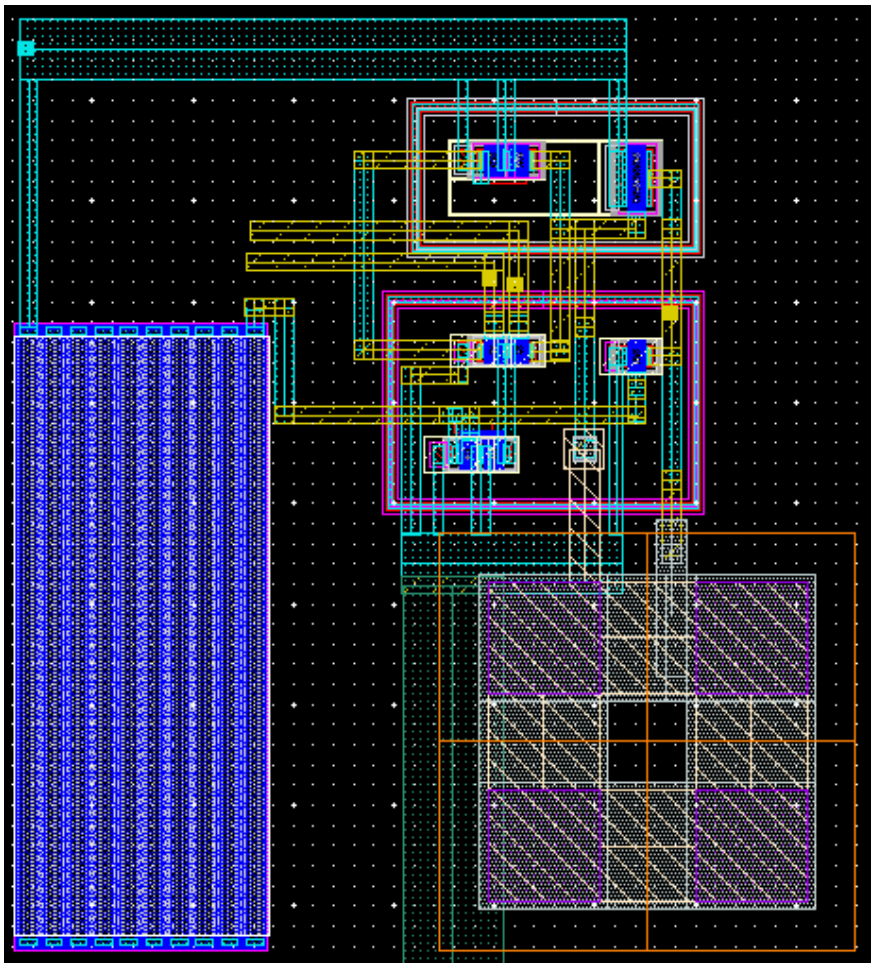
Slika 5.13. Valni oblici signala na operacijskom pojačalu

Na slici 5.14. je vidljivo kako u trenutku kada izlazni napon pretvarača prekorači referentni napon naponske reference, operacijsko pojačalo pojača razliku te dvije vrijednosti i izlazni signal šalje prema komparatoru.



Slika 5.14. Pojačani signal

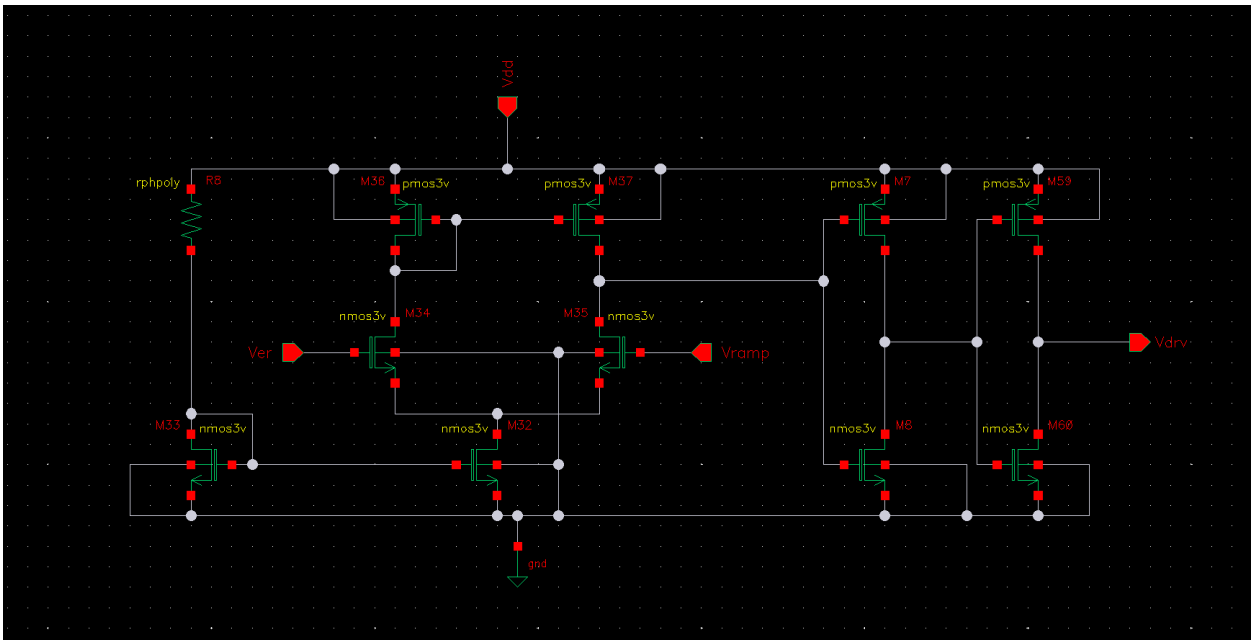
Slika 5.15. prikazuje raspored komponenti operacijskog pojačala na siliciju. Millerov kondenzator je kreiran od četiri manja kondenzatora povezanim paralelnim spojem.



Slika 5.15. Raspored komponenti operacijskog pojačala na siliciju

5.5. Komparator

Ulazni dio komparatora je diferencijalno pojačalo isto kao kod operacijskog pojačala, ali se na izlazu nalaze dva ulančana invertera što je prikazano na slici 5.16.. Zadaća invertera je pretvoriti izlazni signal diferencijalnog stupnja u digitalni. Inverteri su skalirani tako da je dimenzija širine tranzistora drugog stupnja 2,5 puta veća od širine tranzistora u prvom stupnju.

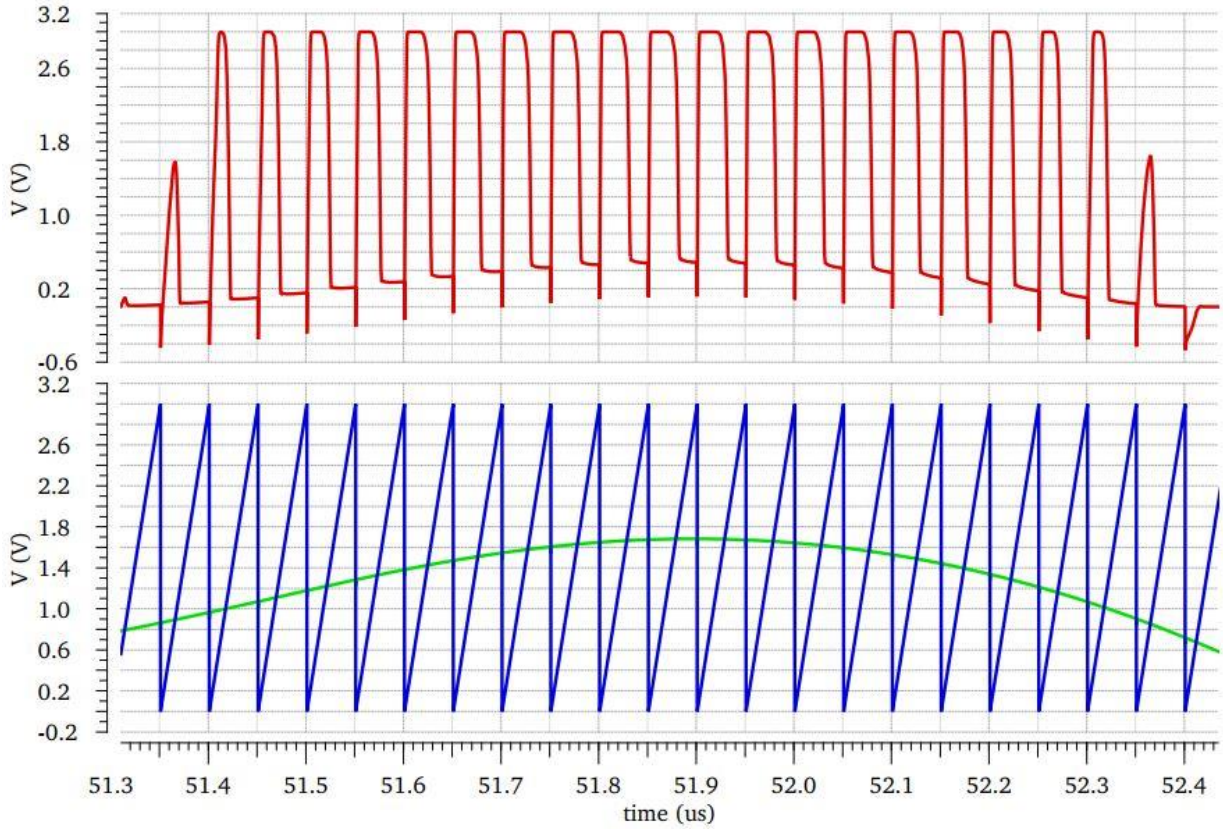


Slika 5.16. Shema komparatora

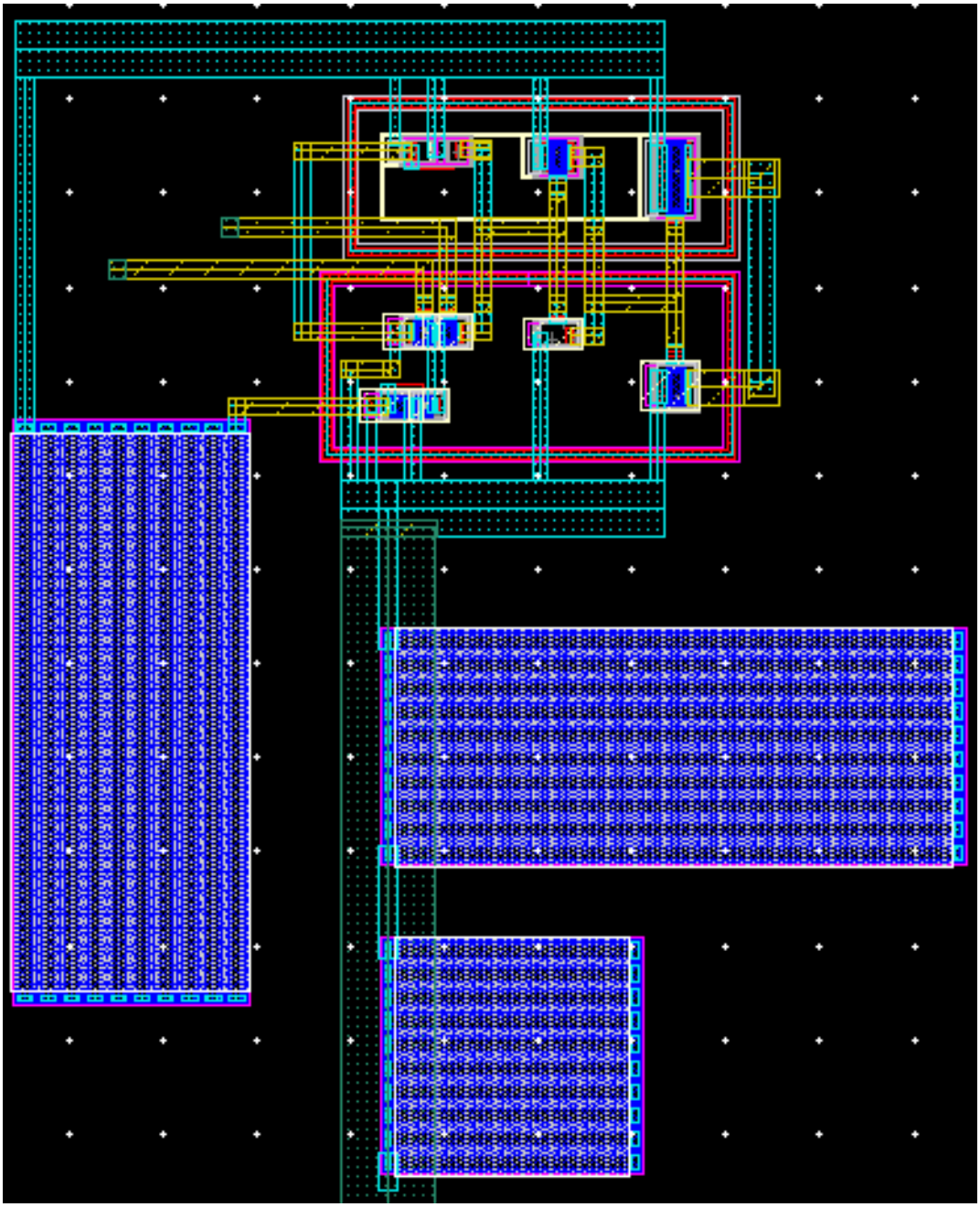
Shema komparatora s dimenzijama komponenti je prikazana u prilogu 5.

Komparator uspoređuje signal s operacijskog pojačala sa signalom rampe. Signal rampe je eksterno generiran i ponavlja se svakih 50 ns odnosno frekvencija mu je 20 MHz. Kada je izlazni signal s operacijskog pojačala (zelena boja) veći od rampe (plava boja) izlaz komparatora (crvena boja) poprima napon od 3 V ili stanje logičke jedinice (Slika 5.17.). Pravokutni signal s komparatora odlazi u generator upravljačkog signala sa zaštitnim vremenom.

Na slici 5.18. je prikazan raspored komponenti komparatora i djelitelja napona na siliciju.



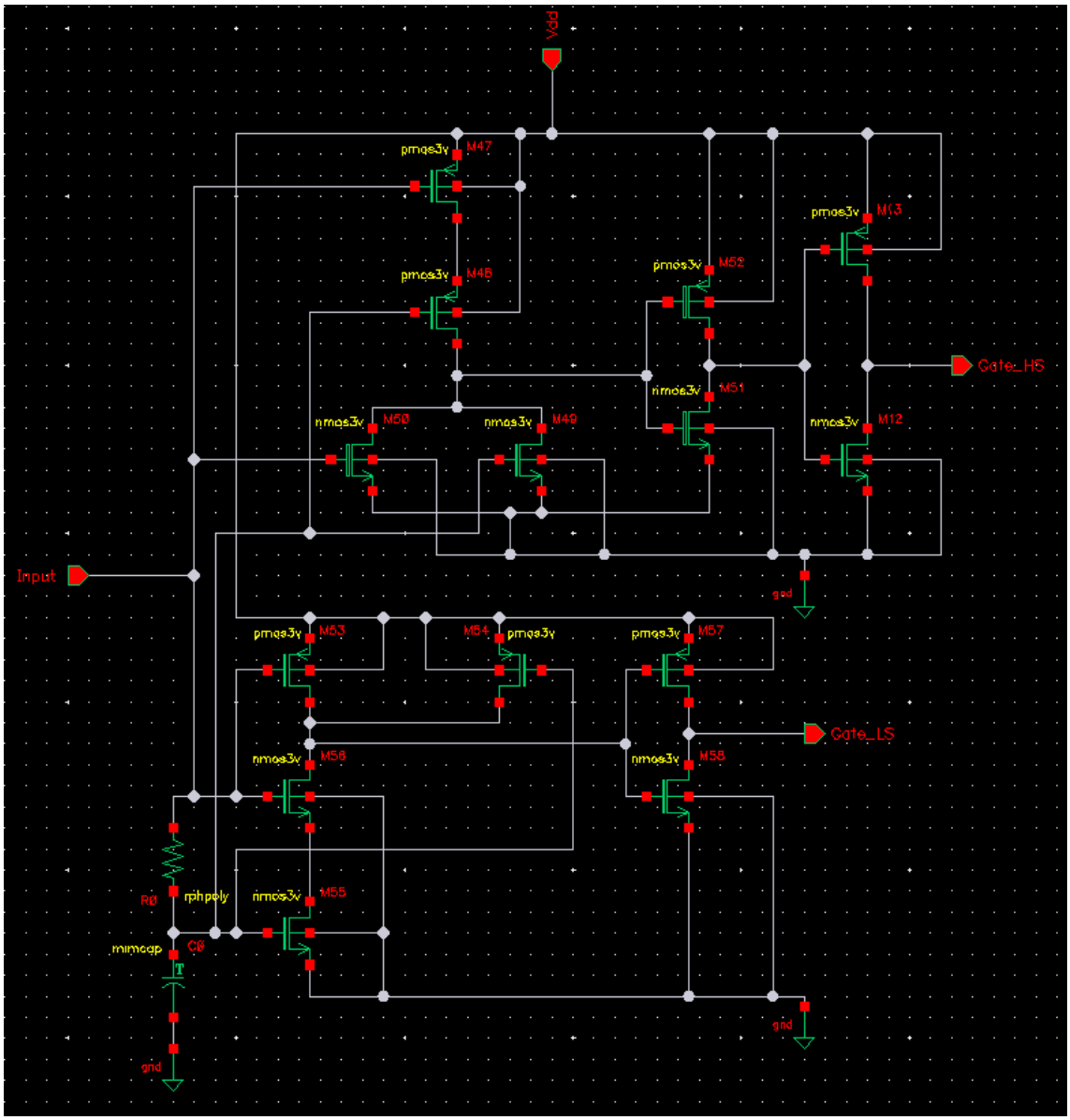
Slika 5.17. Valni oblici komparatora



Slika 5.18. Raspored komponenti komparatora i naponskog djelitelja na siliciju

5.6. Generator upravljačkog signala sa zaštitnim vremenom

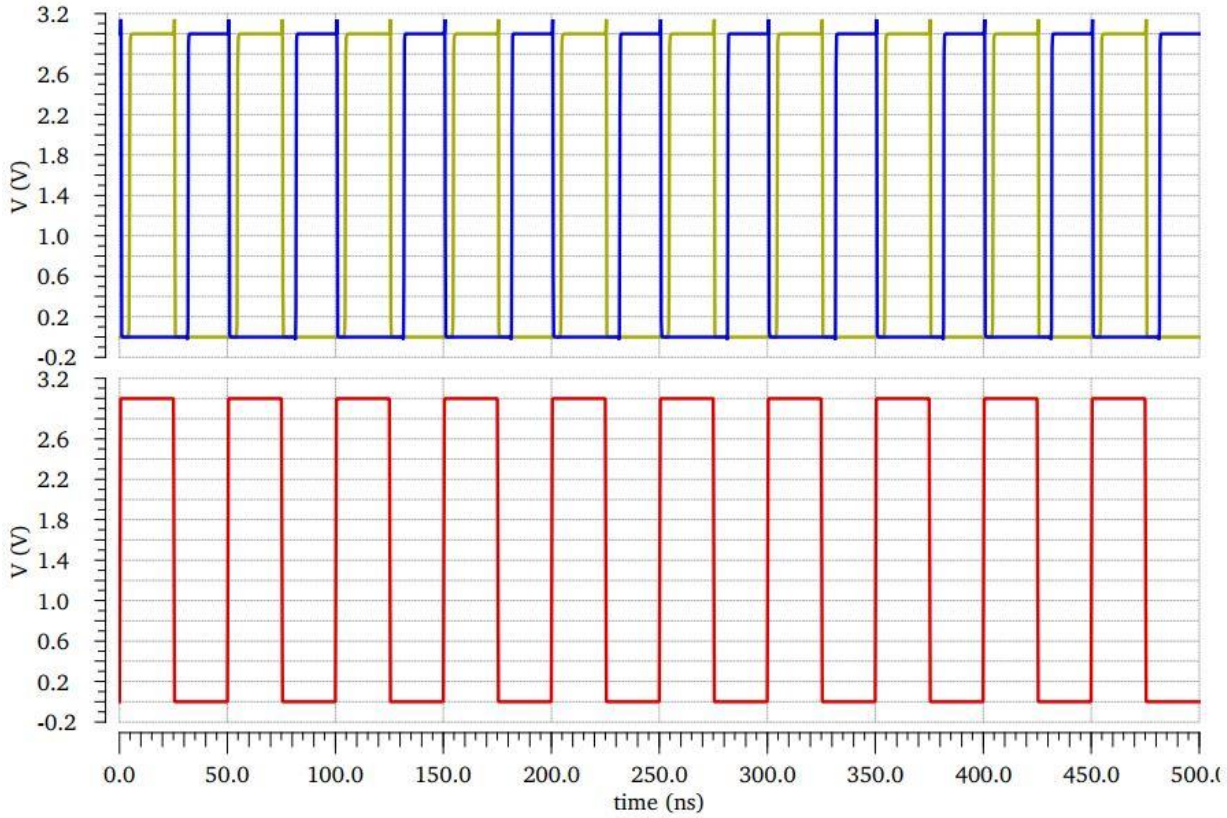
Zadatak ovog elektroničkog sklopa je osigurati određeni period između dva komplementarna upravljačka signala, kako ne bi došlo do istovremenog uključivanja dva tranzistora. Slika 5.19. prikazuje shemu sklopa koji dodaje zaštitno vrijeme upravljačkom signalu.



Slika 5.19. Shema generatora upravljačkog signala sa zaštitnim vremenom

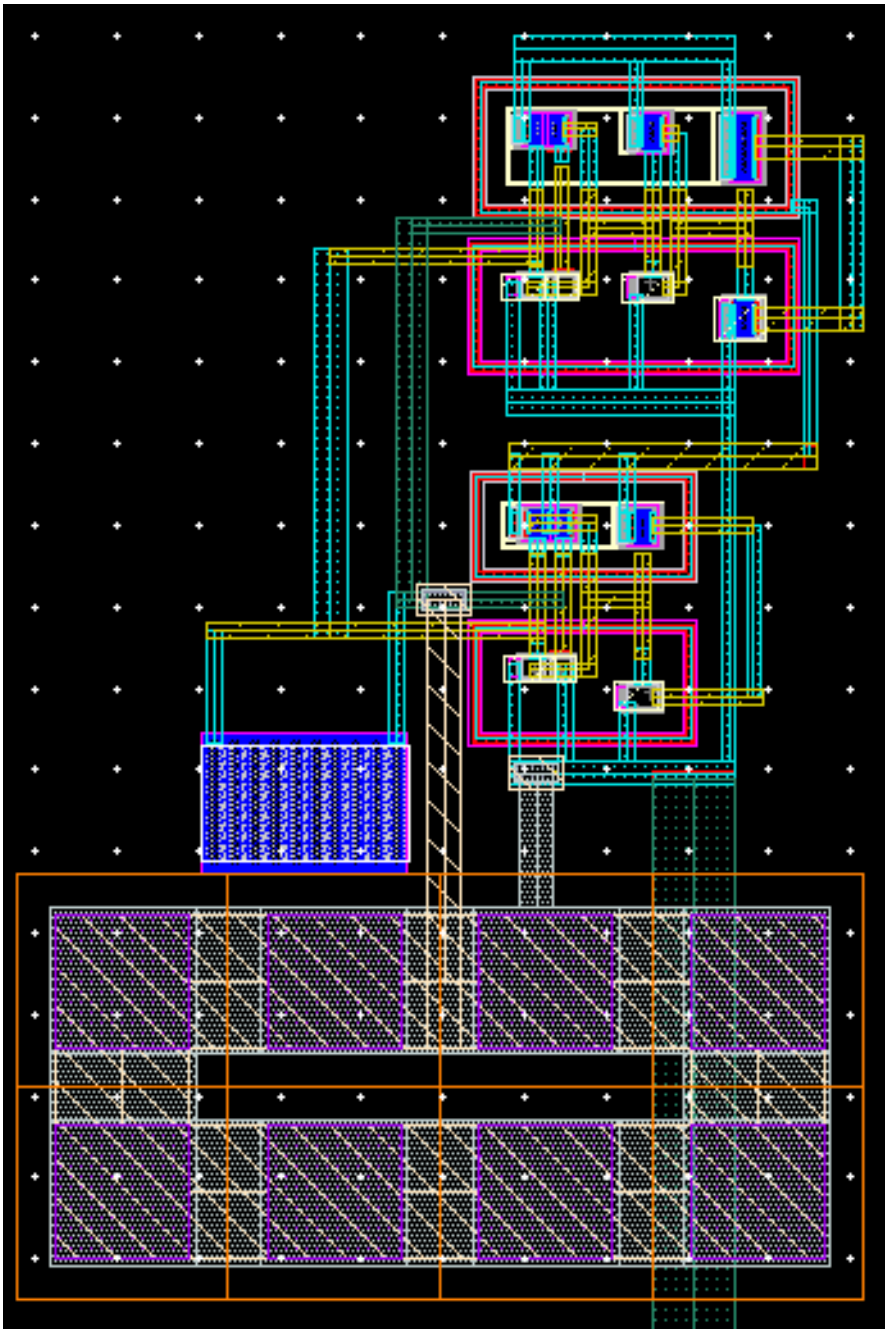
U elektronički sklop ulazi signal s komparatora, a izlazni signali su spojeni s upravljačkim elektrodama tranzistora. Sastoji se od kombinacije ILI i I CMOS logičkih vrata. Izlaz ILI logičkih vrata je invertiran kako bi signal mogao upravljati NMOS tranzistorom. Shema s dimenzijama tranzistora se nalazi u prilogu 6.

Vrijeme između prijelazne promjene stanja je određeno RC konstantom. Vrijednosti otpornika i kondenzatora su izabrane tako da je vremenska konstanta nije manja od 10 % ukupnog trajanja perioda signala, što za frekvenciju od 20 MHz odgovara vremenu od 5 ns.



Slika 5.20. Valni oblici generatora upravljačkog signala

Na slici 5.20., crveni signal je ulazni signal u elektronički sklop, na izlaznim signalima (plavi i žuti) iz sklopa je vidljivo da postoji vremenski period u kojemu su oba signala jednaka logičkoj nuli. To vrijeme je zaštitno vrijeme i odgovara RC vremenskoj konstanti. Slika 5.21. prikazuje raspored komponenti generatora upravljačkog signala sa zaštitnim vremenom.



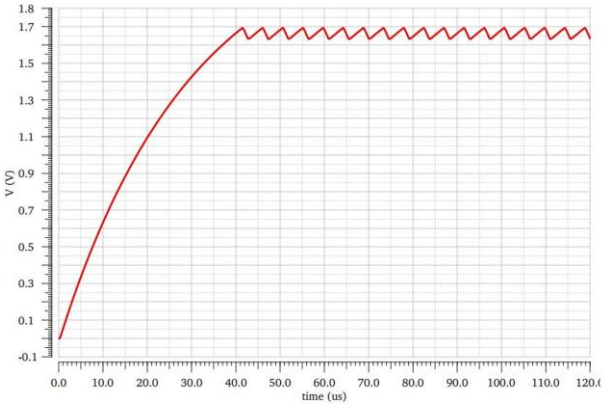
Slika 5.21. Raspored komponenti na siliciju

6. PROCEDURE NAKON DIZAJNA

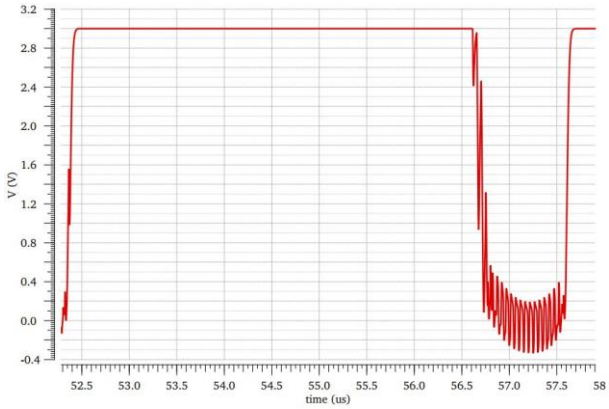
Nakon završenog spajanja komponenti na siliciju i provjere grešaka pomoću DRC pravila, potrebno je napraviti simulaciju parazitnih efekata. Nakon obavljene simulacije parazitnih efekata, dizajnu se dodaju parazitni kapaciteti i otpori koji su posljedica fizičkih veza integriranog kruga i tada je potrebno ponoviti funkcionalnu simulaciju kako bi se provjerilo da li elektronički sklop i dalje funkcionira. Po završetku funkcionalne simulacije izlazni napon pretvarača je bio nešto niži od željenog (Slika 6.1.), i upravljački signal tranzistora je bio deformiran (Slika 6.2.).

Promjenom vrijednosti otpornika u generatoru upravljačkog signala, RC konstanta je malo povećana kako smetnje na upravljačkom signalu ne bi dovele do parazitnog uključenja tranzistora.

Razina izlaznog napona je podignuta na 1.8 V korekcijom vrijednosti naponskog dijelila na izlazu iz DC-DC pretvarača.

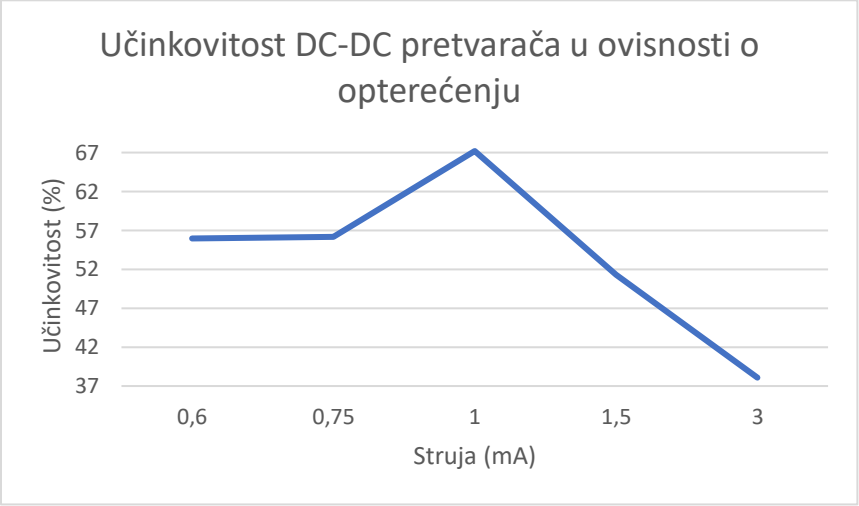


Slika 6.1. Izlazni napon pretvarača



Slika 6.2. Upravljački signal tranzistora

Učinkovitost DC-DC upravljača je izračunata pomoću Cadence Calculator programskog dodataka, te su podatci izvezeni u excel program. U excel-u su uklonjene vrijednosti u prijelaznom periodu prilikom početka rada pretvarača jer je struja veća u tom vremenu zbog magnetiziranja zavojnice, razmatrano je samo stabilno stanje. Učinkovitost je izračunata za više različitih vrijednosti trošila, rezultati su prikazani grafikonom 6.1.



Grafikon 6.1. Učinkovitost naponskog pretvarača

7. ZAKLJUČAK

Dizajn naponskog pretvarača u integriranoj tehnologiji je zahtjevan zadatak, koji uključuje donošenje puno kompromisa prilikom određivanja karakteristika pojedinih elektroničkih blokova. Budući da se radi o integriranoj izvedbi, tokom cijelog proces je potrebno razmišljati o utjecajima proizvodnog procesa i dimenziji integriranog kruga. Potrebno je provesti značajan broj simulacija kako bi se što bolje prikazalo ponašanje integriranog uređaja. Naponski pretvarač, obrađen u ovom radu, zadovoljava definirane zahtjeve za osiguravanje potrebne snage. Učinkovitost naponskog pretvarača je niža od nekih uređaja na tržištu koji su namijenjeni primjeni žetve energije. Promjenom frekvencije rada naponskog pretvarača od 1 MHz do 20 MHz ne dolazi do značajnije promjene učinkovitost naponskog pretvarača.

Moguće promjene dizajna koje bi potencijalno mogle donijeti povećanje učinkovitosti zahtijevale bi dodavanje kontrole naponskog pretvarača u ovisnosti struje zavojnice u povratnu vezu uređaja. Primjenom složenijih struktura krugova za napajanje, npr. kaskodno strujno zrcalo, promjene u razini naponskog signala bi bile manje. Složeniji kompenzacijski krug, operacijskog pojačala bi unio stabilniji odziv pojačala. Kod specifičnih aplikacija kao što je žetva energije, jako je važno paziti i na potrošnju samog čipa. Maksimalna potrošnja „buck“ naponskog pretvarača je oko 800 µW.

LITERATURA

[1] New Applications for Energy Harvesting

https://eu.mouser.com/applications/energy-harvesting-new-applications/ [18.07.2021]

[2] Energy-Harvesting SoCs Target 'Forever Power' for IoT Devices

https://www.eetimes.eu/energy-harvesting-socs-target-forever-power-for-iot-devices/ [18.07.2021]

[3] Solar cell

https://en.wikipedia.org/wiki/Solar_cell [19.07.2021]

[4] https://www.slideshare.net/mrkrumhausen/energy-harvesting-35728384 [19.07.2021]

[5] Single Diode Equivalent Circuit Models

https://pvpmc.sandia.gov/modeling-steps/2-dc-module-iv/diode-equivalent-circuit-models/ [20.07.2021]

[6] https://www.researchgate.net/figure/Characteristic-curves-I-V-and-P-V-of-a-mono-crystalline-silicon-solar-cell-with-a-cell_fig1_284970252 [20.07.2021]

[7] Different Types of Batteries and Their Applications

https://components101.com/articles/different-types-of-batteries-and-their-uses [25.07.2021]

[8] Supercapacitor

https://en.wikipedia.org/wiki/Supercapacitor [26.07.2021.]

[9] A Closer Look at State of Charge (SOC) and State of Health (SOH) Estimation Techniques for Batteries

https://www.analog.com/media/en/technical-documentation/technical-articles/a-closer-look-at-state-of-charge-and-state-health-estimation-techniques.pdf [26.07.2021]

[10]https://www.researchgate.net/figure/Cross-section-of-the-PMOS-and-NMOS

transistor_fig3_27366945 [27.07.2021]

[11] Using Deep N Wells in Analog Design

https://www.planetanalog.com/using-deep-n-wells-in-analog-design/# [27.07.2021]

[12] n-well Process

https://www.electronics-tutorial.net/CMOS-Processing-Technology/n-well-Process/ [06.08.2021]

[13] Impact of Well Edge Proximity Effect on Timing

http://hasimo.to/pman3/pman3.cgi?DOWNLOAD=91 [06.08.2021]

[14] Process-induced Variations II: Systematic

https://www-inst.eecs.berkeley.edu//~ee290d/fa13/LectureNotes/Lecture12.pdf [07.08.2021]

[15] R. Jacob Baker: „CMOS Circuit Design, Layout, and Simulation“, IEEE Press Series on Microelectronic Systems, 2010

[16] Temperature Coefficient of Resistance

https://www.allaboutcircuits.com/textbook/direct-current/chpt-12/temperature-coefficient-resistance/ [08.08.2021]

[17] Lecture 2: CMOS Technology and Passive Devices

http://bwrcs.eecs.berkeley.edu/Classes/icdesign/ee240_sp13/lectures/Lecture02_Passives_2up.pdf [08.08.2021]

[18] Capacitor

https://en.wikipedia.org/wiki/Capacitor [09.08.2021]

[19] Types of IC capacitors available to integrate on chips

https://miscircuitos.com/types-of-capacitors-available-to-integrate-on-chip-in-vsli/ [12.08.2021]

[20] MIM/MOM capacitor extraction boosts analog and RF designs

https://www.eeworldonline.com/mim-mom-capacitor-extraction-boosts-analog-and-rf-designs/ [12.08.2021]

[21] An Overview of On-chip Inductors for Integrated Circuits IC. Types, pro & cons

https://miscircuitos.com/an-overview-of-on-chip-inductors-for-integrated-circuits-ic-types-pro-cons/ [19.08.2021]

[22] A simplified distribution parasitic capacitance model for on-chip spiral inductors

https://www.semanticscholar.org/paper/A-simplified-distribution-parasitic-capacitance-for-Masuda-Kodama/f32d68df0299070ffebec8861cf11fc8b4ec8474#references [19.08.2021]

[23] Metal Wire Orientation

http://www.vlsi-expert.com/2017/11/metal-wire-orientation.html [19.08.2021]

[24] Antenna effect

https://www.student-circuit.com/learning/year3/vlsi-design/antenna-effect-in-vlsi/ [19.08.2021]

[25] Antenna effect: Do the design rules really protect us?

https://www.eetimes.com/antenna-effect-do-the-design-rules-really-protect-us/ [19.08.2021]

[26] On-Chip Electrostatic Discharge Protection for ICs

https://eepower.com/technical-articles/on-chip-electrostatic-discharge-protection-for-ics/# [19.08.2021]

[27] ESD Design Guidelines: for electronic circuits

https://www.electronics-notes.com/articles/constructional_techniques/electrostatic-discharge/esd-circuit-design-guidelines.php [20.08.2021]

[28] Understanding Buck Power Stages in Switchmode Power Supplies

https://www.ti.com/lit/an/slva057/slva057.pdf?ts=1629521462763 [20.08.2021]

[29] Basic Calculation of a Buck Converter's Power Stage

https://www.ti.com/lit/an/slva477b/slva477b.pdf?ts=1629635024725&ref_url=https%253A%252F%252Fwww.google.com%252F [20.08.2021]

[30] Efficiency of Buck Converter

https://fscdn.rohm.com/en/products/databook/applinote/ic/power/switching_regulator/buck_converter_efficiency_app-e.pdf [20.08.2021]

[31] Current mirror

https://www.wikiwand.com/en/Current_mirror [21.08.2021]

[32] Design Of Two Stage CMOS Operational Amplifier in 180nm Technology

https://arxiv.org/pdf/2012.15737.pdf [21.08.2021]

SAŽETAK

Žetva energije postaje popularna metoda napajanja elektroničkih komponenti koje za svoj rad zahtijevaju vrlo malu snagu. Sustavi žetve energije mogu napajati uređaje direktno ili posredno pohranom energije u bateriju ili super-kondenzator. U ovom diplomskom radu obrađena je verzija DC-DC „buck“ naponskog pretvarača, u integriranoj tehnologiji, koji je moguće koristiti u primjeni žetve energije.

Opisani su elementi koji čine naponski pretvarač te povezanost međusobnih blokova kako bi se kreirao funkcionalan uređaj. Ulazni napon pretvarača je 3 V, a pretvarač ga spušta na 1.8 V pri čemu je potrebnu osigurati izlaznu snagu od 1.8 mW. Maksimalna frekvencija preklapanja naponskog pretvarača je 20 MHz. Za izradu integriranog kruga korišten je Cadence Virtuoso programski alat i CMOS TSMC018 tehnologija. Obrađeni su osnovni principi dizajniranja i efekti koji se javljaju prilikom dizajna i izrade integriranog elektroničkog kruga.

Ključne riječi: žetva energije, super-kondenzator, DC-DC pretvarač, „buck“ pretvarač, Cadence Virtuoso, TSMC018, CMOS

ABSTRACT

Energy harvesting is becoming a popular method of powering electronic components that require very little power for their operation. Energy harvesting systems can power devices directly or indirectly by storing energy in a battery or super-capacitor. In this thesis a version of the DC-DC "buck" voltage converter for the energy harvesting application is described. Voltage converter is implemented in integrated technology.

The elements that make up the voltage conversion and the interconnection of functional blocks in order to create a functional device are described. The input voltage of the inverter is 3 V, and the inverter lowers it to 1.8 V, with requirement of an output power of 1.8 mW. The maximum switching frequency of the voltage converter is 20 MHz. Cadence Virtuoso software tool and CMOS TSMC018 technology were used to create the integrated circuit. The basic design principles and effects that occur during the design and processing of an integrated electronic circuit are discussed.

Keywords: energy harvesting, super-capacitor, DC-DC converter, buck converter, Cadence Virtuoso, TSMC018, CMOS

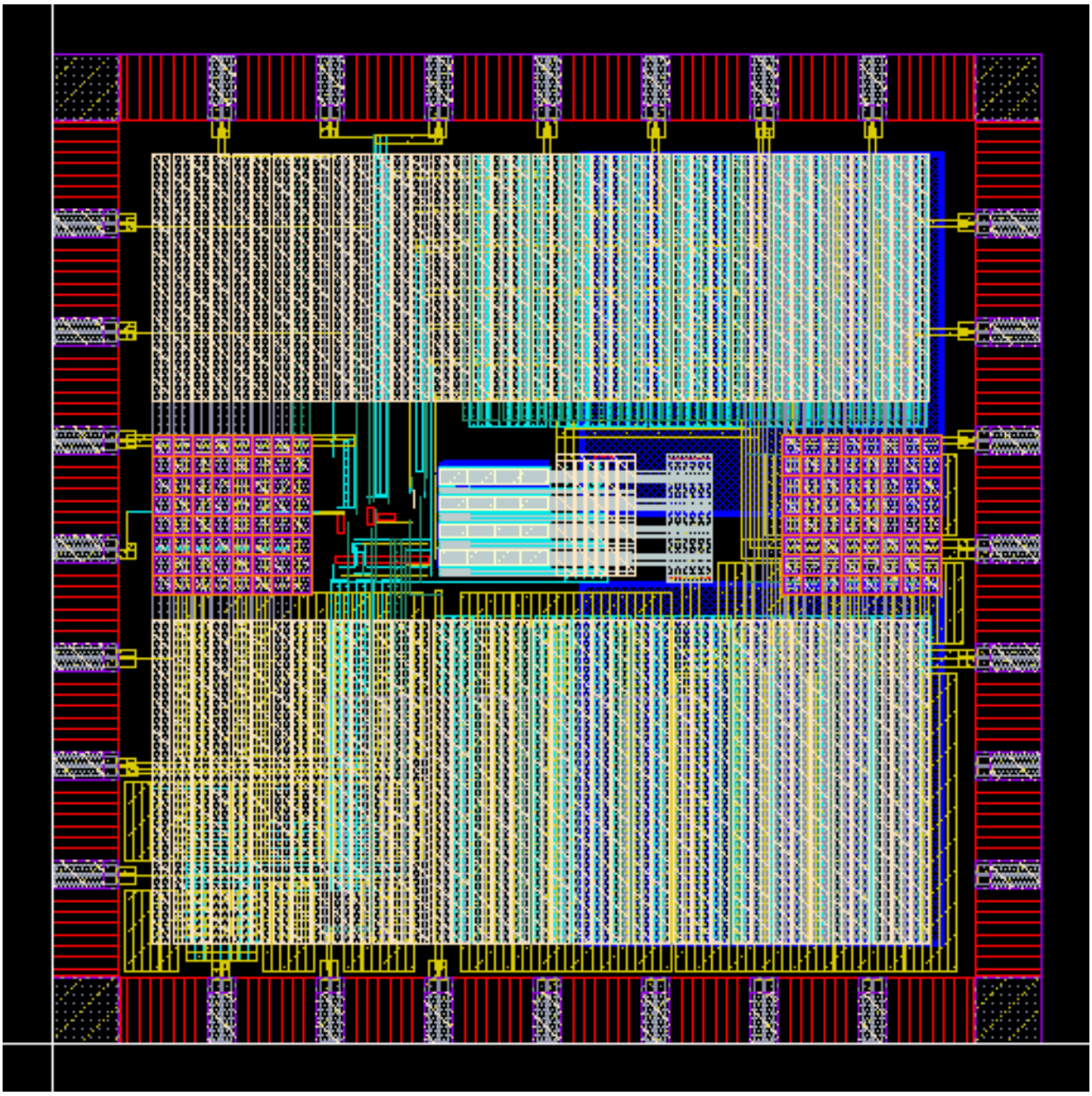
ŽIVOTOPIS

Tomislav Turšćak, rođen je 28.studenog 1995. godine u Đakovu. Pohađa osnovnu školu Josipa Kozarca Semeljci te 2010.godine upisuje Elektrotehničku i prometnu školu Osijek. Tijekom srednjoškolskog obrazovanja sudjeluje na projektu SOELA – Solarni električni automobil te ljetnoj školi „Dizajniranje električnih automobila“ u sklopu projekta SOELA. 2014. godine upisuje Elektrotehnički fakultet Osijek, sveučilišni preddiplomski studij elektrotehnike. Nakon završenog preddiplomskog studija nastavlja diplomski studij, na smjeru Komunikacijske tehnologije. Uz studiranje aktivno se bavi elektronikom kroz hobi projekte i praktična usavršavanja u firmama. Od stranih jezika služi se engleskim jezikom, u govoru i pismu.

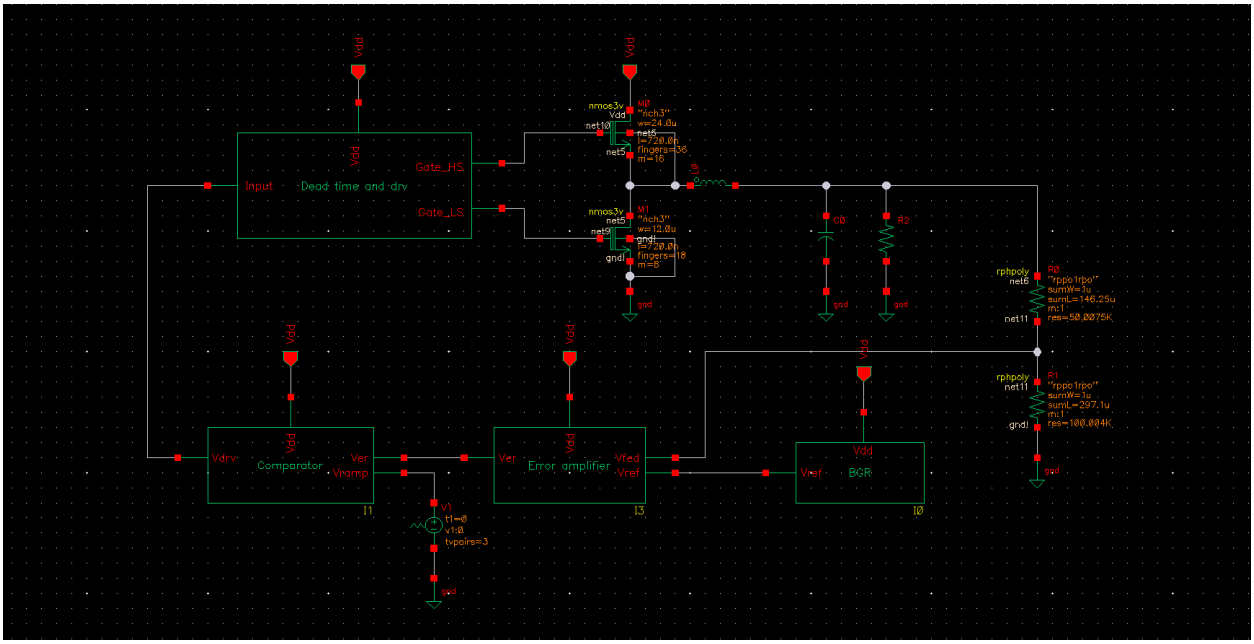
Tomislav Turšćak

PRILOZI

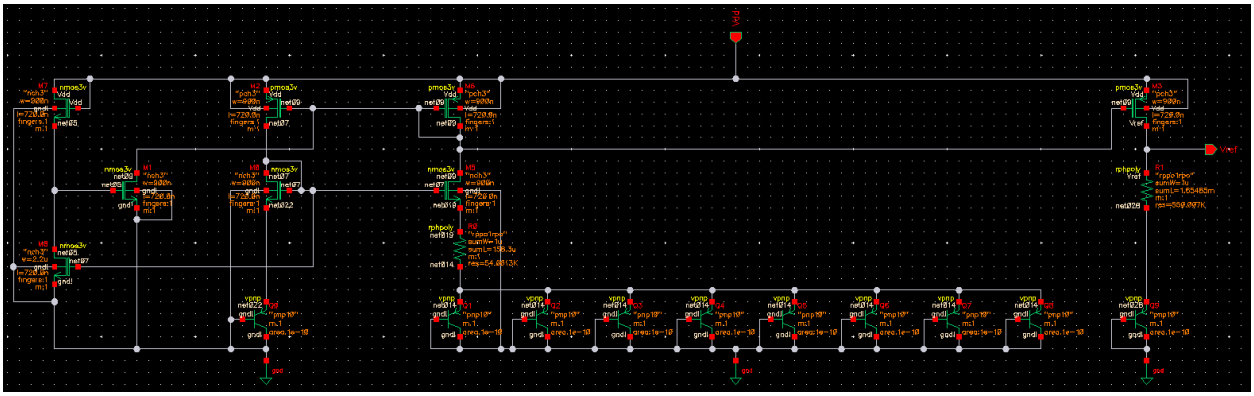
Prilog 1: Prikaz integriranog sklopa na siliciju



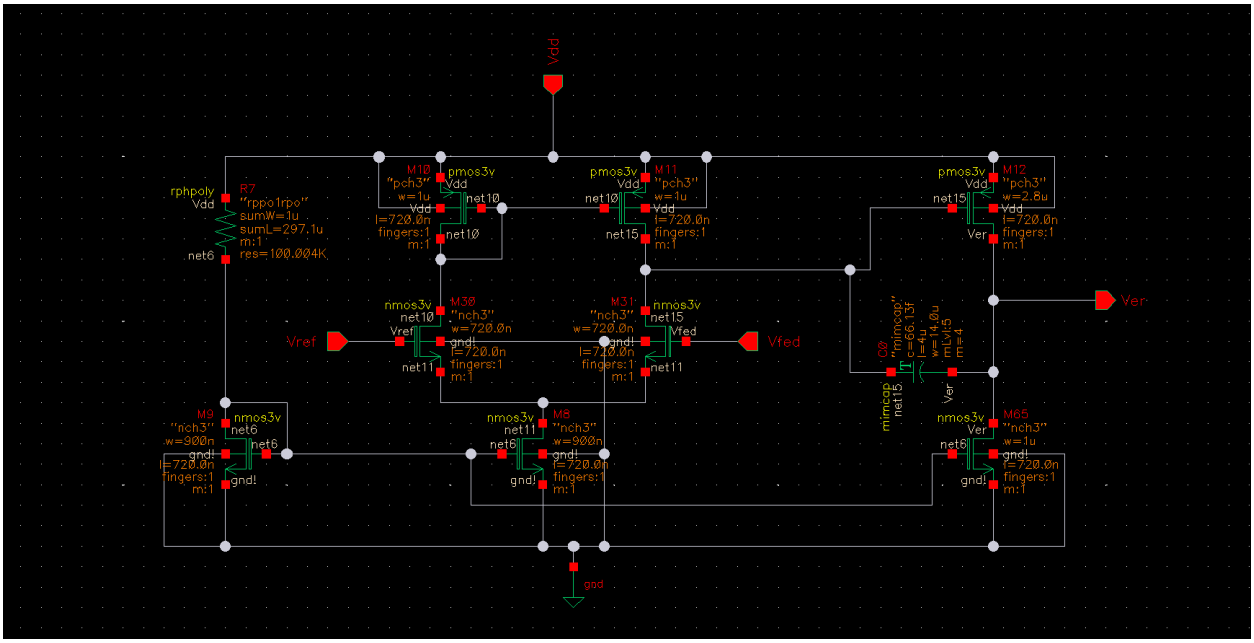
Prilog 2: Blok shema „buck“ pretvarača s dimenzijama tranzistora i otpornika u povratnoj vezi



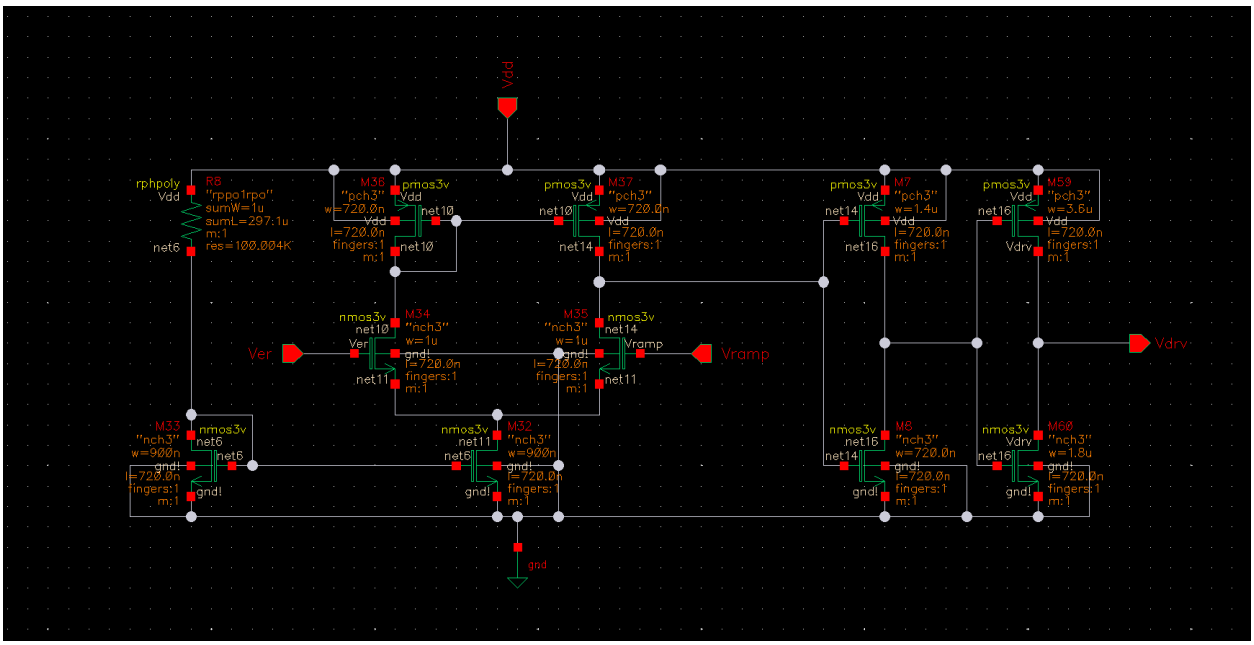
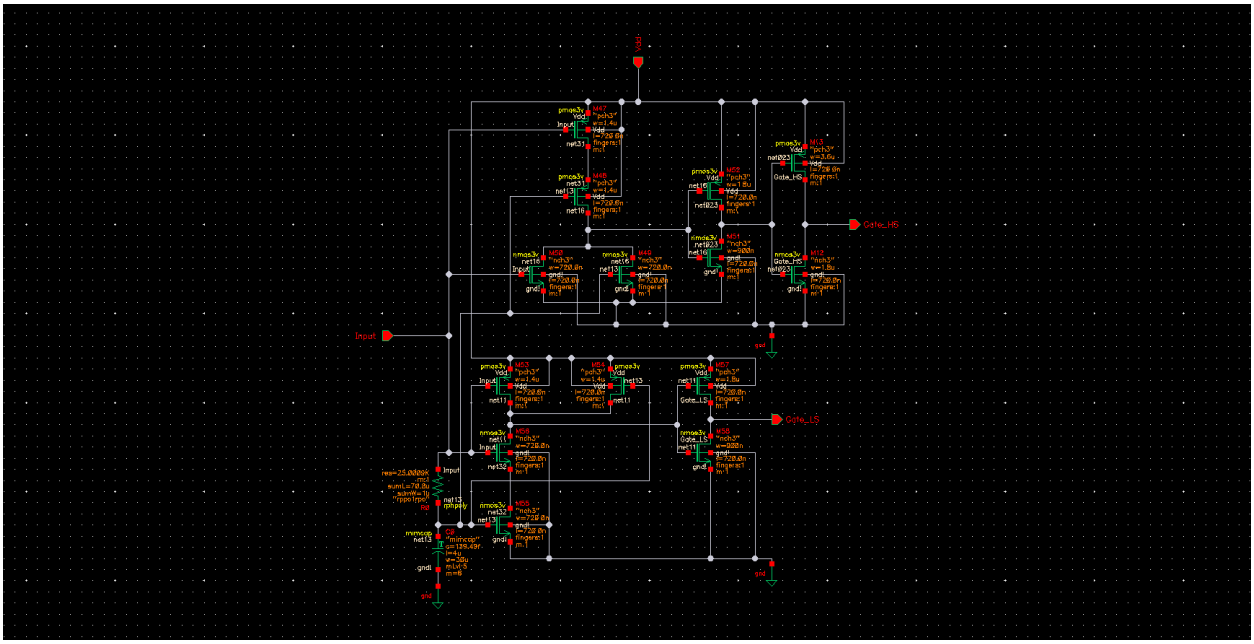
Prilog 3: Shema generatora referentnog napona



Prilog 4: Shema operacijskog pojačala



Prilog 5: Shema komparatora



Prilog 6: Shema generatora upravljačkog signala