

Asinkroni vremensko-digitalni pretvornik

Pešerović, Boris

Master's thesis / Diplomski rad

2017

Degree Grantor / Ustanova koja je dodijelila akademski / stručni stupanj: **Josip Juraj Strossmayer University of Osijek, Faculty of Electrical Engineering, Computer Science and Information Technology Osijek / Sveučilište Josipa Jurja Strossmayera u Osijeku, Fakultet elektrotehnike, računarstva i informacijskih tehnologija Osijek**

Permanent link / Trajna poveznica: <https://urn.nsk.hr/urn:nbn:hr:200:908710>

Rights / Prava: [In copyright](#) / [Zaštićeno autorskim pravom.](#)

Download date / Datum preuzimanja: **2024-04-18**

Repository / Repozitorij:

[Faculty of Electrical Engineering, Computer Science and Information Technology Osijek](#)



DIGITALNI AKADEMSKI ARHIVI I REPOZITORIJ

**SVEUČILIŠTE JOSIPA JURJA STROSSMAYERA U OSIJEKU
FAKULTET ELEKTROTEHNIKE RAČUNARSTVA I INFORMACIJSKIH
TEHNOLOGIJA OSIJEK**

Sveučilišni studij

ASINKRONI VREMENSKO-DIGITALNI PRETVORNIK

Diplomski rad

Boris Pešerović

Osijek, 2017.

**FERIT**FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA
I INFORMACIJSKIH TEHNOLOGIJA OSIJEK**Obrazac D1: Obrazac za imenovanje Povjerenstva za obranu diplomskog rada**

Osijek, 07.09.2017.

Odboru za završne i diplomske ispite

Imenovanje Povjerenstva za obranu diplomskog rada

Ime i prezime studenta:	Boris Pešerović
Studij, smjer:	Diplomski sveučilišni studij Elektrotehnika, smjer Komunikacije i informatika
Mat. br. studenta, godina upisa:	D-869, 03.10.2014.
OIB studenta:	78212995446
Mentor:	Izv.prof.dr.sc. Tomislav Matić
Sumentor:	
Sumentor iz tvrtke:	
Predsjednik Povjerenstva:	Izv. prof. dr. sc. Marijan Herceg
Član Povjerenstva:	Doc.dr.sc. Mario Vranješ
Naslov diplomskog rada:	Asinkroni vremensko-digitalni pretvornik
Znanstvena grana rada:	Elektronika (zn. polje elektrotehnika)
Zadatak diplomskog rada:	Opisati načelo rada vremensko-digitalnih pretvornika. Definirati građu asinkronog vremensko-digitalnog pretvornika. Izraditi simulacijski model vremensko-digitalnog pretvornika u programskom paketu MATLAB(R). Projektirati vremensko-digitalni pretvornik u FPGA uređaju i prikazati rezultate mjerenja.
Prijedlog ocjene pismenog dijela ispita (diplomskog rada):	Vrlo dobar (4)
Kratko obrazloženje ocjene prema Kriterijima za ocjenjivanje završnih i diplomskih radova:	Primjena znanja stečenih na fakultetu: 2 bod/boda Postignuti rezultati u odnosu na složenost zadatka: 1 bod/boda Jasnoća pismenog izražavanja: 2 bod/boda Razina samostalnosti: 3 razina
Datum prijedloga ocjene mentora:	07.09.2017.
Potpis mentora za predaju konačne verzije rada u Studentsku službu pri završetku studija:	Potpis:
	Datum:

**FERIT**FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA
I INFORMACIJSKIH TEHNOLOGIJA **OSIJEK****IZJAVA O ORIGINALNOSTI RADA**

Osijek, 07.09.2017.

Ime i prezime studenta:

Boris Pešerović

Studij:

Diplomski sveučilišni studij Elektrotehnika, smjer Komunikacije i informatika

Mat. br. studenta, godina upisa:

D-869, 03.10.2014.

Ephorus podudaranje [%]:

6

Ovom izjavom izjavljujem da je rad pod nazivom: **Asinkroni vremensko-digitalni pretvornik**

izrađen pod vodstvom mentora Izv.prof.dr.sc. Tomislav Matić

i sumentora

moj vlastiti rad i prema mom najboljem znanju ne sadrži prethodno objavljene ili neobjavljene pisane materijale drugih osoba, osim onih koji su izričito priznati navođenjem literature i drugih izvora informacija.

Izjavljujem da je intelektualni sadržaj navedenog rada proizvod mog vlastitog rada, osim u onom dijelu za koji mi je bila potrebna pomoć mentora, sumentora i drugih osoba, a što je izričito navedeno u radu.

Potpis studenta:

SADRŽAJ

1. UVOD.....	1
1.1. Zadatak diplomskog rada.....	1
1.2. Struktura diplomskog rada.....	1
2. NAČELO RADA VREMENSKO–DIGITALNOG PRETVORNIKA	2
2.1. Analogni vremensko-digitalni pretvornici.....	2
2.2. Digitalni vremensko-digitalni pretvornici	3
2.3. Prijenosna karakteristika vremensko-digitalnog pretvornika	5
3. GRAĐA VREMENSKO-DIGITALNOG PRETVORNIKA	7
3.1. Osnovni digitalni vremensko-digitalni pretvornici.....	7
3.2. Bipolarni vremensko-digitalni pretvornik	8
3.3. Vremensko-digitalni pretvornik s petljom.....	11
3.4. Vremensko-digitalni pretvornik temeljen na petlji zaključanog kašnjenja	12
4. MATLAB SIMULACIJA.....	14
4.1. Rezultati simulacije	14
5. VREMENSKO-DIGITALNI PRETVORNIK U FPGA UREĐAJU	16
5.1. Rezultati mjerenja.....	17
6. ZAKLJUČAK	20
7. LITERATURA.....	21
8. SAŽETAK	22
9. ABSTRACT – TIME-TO-DIGITAL CONVERTER.....	23
10. ŽIVOTOPIS	24
11. PRILOZI.....	25

1. UVOD

U ovom diplomskom radu je opisano načelo rada asinkronog vremensko-digitalnog pretvornika. Definirana je građa vremensko-digitalnog pretvornika. Također je napravljen simulacijski model vremensko-digitalnog pretvornika u programskom paketu MATLAB. Vremensko-digitalni pretvornik je projektiran u FPGA uređaju i prikazani su rezultati mjerenja.

1.1. Zadatak diplomskog rada

Opisati načelo rada vremensko-digitalnih pretvornika. Definirati građu asinkronog vremensko-digitalnog pretvornika. Izraditi simulacijski model vremensko-digitalnog pretvornika u programskom paketu MATLAB(R). Projektirati vremensko-digitalni pretvornik u FPGA uređaju i prikazati rezultate mjerenja.

1.2. Struktura diplomskog rada

U drugom poglavlju ovog rada (prvom poglavlju glavnog dijela rada) je opisano načelo rada vremensko-digitalnog pretvornika. To poglavlje se sastoji od tri potpoglavlja. U prvome je opisano načelo rada analognog vremensko-digitalnog pretvornika, u drugom načelo rada digitalnog vremensko-digitalnog pretvornika te je u trećem potpoglavlju opisana prijenosna karakteristika vremensko-digitalnih pretvornika. U drugom poglavlju glavnog dijela rada opisane su građe i načini rada nekih digitalnih vremensko-digitalnih pretvornika po potpoglavljima kao što su osnovni digitalni vremensko-digitalni pretvornik, bipolarni vremensko-digitalni pretvornik, vremensko-digitalni pretvornik s petljom. U sljedećem poglavlju je opisana simulacija vremensko-digitalnog pretvornika u programskom paketu MATLAB te su dani i komentirani rezultati simulacije. Zadnje poglavlje glavnog dijela rada sadrži sheme i opis izrade vremensko-digitalnog pretvornika u FPGA uređaju. Također su u potpoglavlju dani rezultati mjerenja vremensko-digitalnog pretvornika projektiranog u FPGA uređaju.

2. NAČELO RADA VREMENSKO-DIGITALNOG PRETVORNIKA

Vremensko-digitalni pretvornik (eng. *Time-to-Digital Converter* - TDC) je sklop koji mjeri neki vremenski interval te podatke o izmjenenom intervalu prebacuje u digitalni oblik. To su vrlo precizni uređaji koji mjere vrijeme u nanosekundama ili niže. Često su korišteni u PLL sklopovima i u fizici čestica. Postoje dvije vrste vremensko-digitalnih pretvornika: analogni i digitalni.

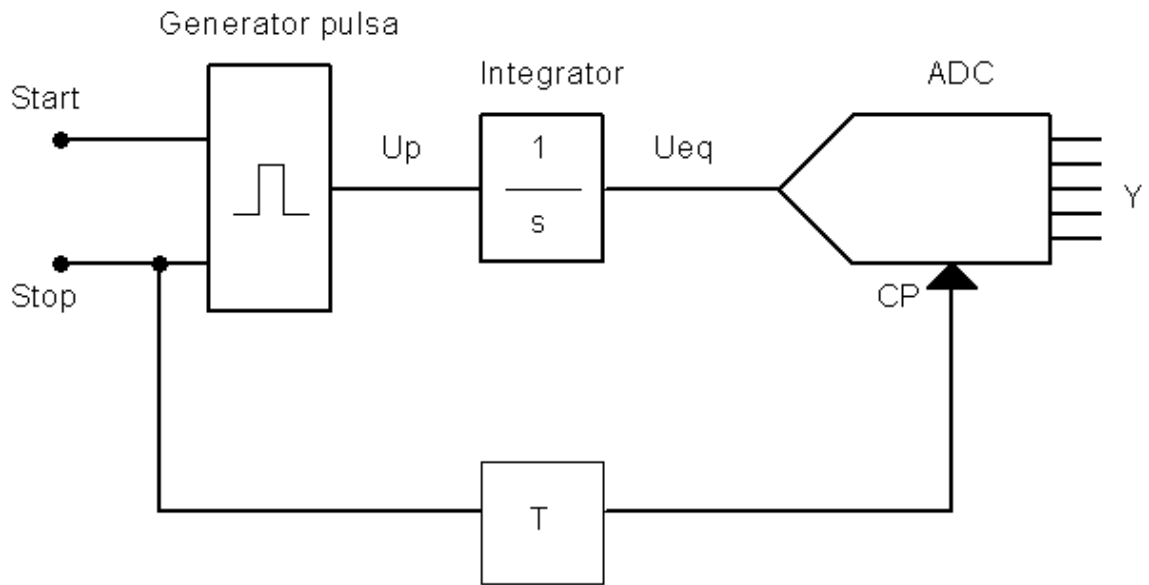
Važan parametar vremensko-digitalnog pretvornika je njegova rezolucija. Ona je definirana kao najmanja jedinica mjerenja vremena. Ovisi o karakteristikama sklopa i o šumu.

2.1. Analogni vremensko-digitalni pretvornici

Prva generacija vremensko-digitalnih pretvornika je posve analogna. U takvim pretvornicima vrijeme se prvo pretvori u napon pa se nakon toga napon digitalizira analogno-digitalnim pretvornikom (eng. *Analog-to-Digital Converter* - ADC). Generator impulsa generira impuls čiji početak i kraj određuju vremenski interval koji se mjeri. U integratoru se taj impuls pretvara u napon. Taj napon zatim odlazi u analogno-digitalni pretvornik koji digitalizira razinu napona. Ovaj vremensko-digitalni pretvornik je prikazan na slici 2.1.. Nedostatci ovakvog pretvornika su to što je za veći vremenski interval mjerenja rezolucija manja tj. za veću rezoluciju mjerenja, interval u kojemu se mjeri signal je mali. To opisuje sljedeća jednadžba[1]:

$$DR = 2^N \cdot T_{LSB} \quad (2-1)$$

gdje je: DR (eng. *Dynamic Range*) dinamički raspon tj. maksimalni vremenski interval koji se mjeri, N je maksimalni broj bitova, a T_{LSB} je najmanji vremenski interval koji se može dobiti. Mjerenje duljeg vremenskog intervala u većoj rezoluciji se može postići s dvije razine kvantizacije. Prvo se dugi vremenski interval grubo kvantizira, a zatim se ostatak fino kvantizira. Također je moguće integrirati periodično; brojem perioda se dobije gruba kvantizacija, a veća rezolucija se dobije pretvaranjem razine napona u ADC-u. U digitalnom TDC-u ovakva ograničenja ne postoje.



Sl. 2.1. Osnovni analogni TDC

2.2. Digitalni vremensko-digitalni pretvornici

Druga generacija vremensko-digitalnih pretvornika je potpuno digitalna. Najjednostavnija tehnika kvantizacije vremenskog intervala je ona u kojoj se broje ciklusi referentnog takta u mjenom intervalu. Mjereni interval koji je definiran signalom početka i kraja je asinkron naspram referentnog signala kako je i pokazano na slici 2.2.. Ta asinkronost uzrokuje mjerne pogreške ΔT_{start} i ΔT_{stop} na krajevima intervala. Mjerni interval ΔT se može izraziti sljedećim jednadžbama[1]:

$$\Delta T = N \cdot T_{CP} + (T_{CP} - \Delta T_{stop}) - (T_{CP} - \Delta T_{start})$$

$$\Delta T = N \cdot T_{CP} - \Delta T_{stop} + \Delta T_{start}$$

$$\Delta T = N \cdot T_{CP} + \varepsilon_T \quad (2-2)$$

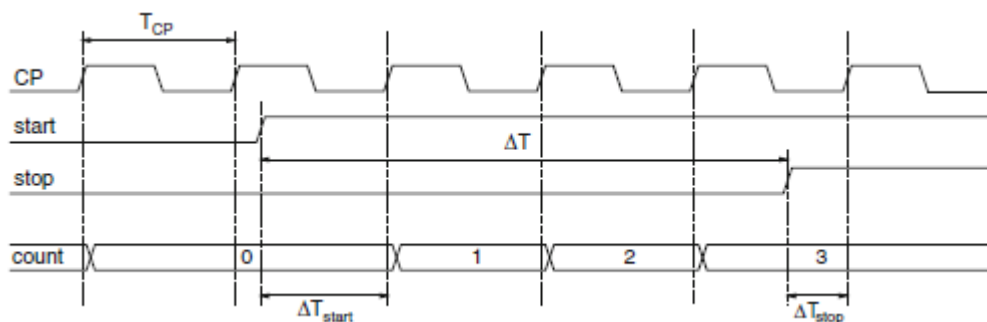
$$\Delta T_{start} \in [0; T_{CP}]$$

$$\Delta T_{stop} \in [0; T_{CP}]$$

$$\varepsilon_T = \Delta T_{start} - \Delta T_{stop} \in [-T_{CP}; T_{CP}] \quad (2-3)$$

gdje je: N – vrijednost brojača, T_{CP} – period referentnog takta, ΔT_{start} je vremenski interval između početnog signala i sljedećeg ruba signala takta, ΔT_{stop} je vremenski interval između

krajnjeg signala mjenog vremenskog intervala i sljedećeg ruba signala takta, dok je ε_T kvantizacijska pogreška.[1]



Sl. 2.2. Princip rada TDC-a temeljenog na brojaču [1]

Veća preciznost mjerenja može se postići povećanjem frekvencije signala takta, ali to također povećava i potrošnju cijelog sklopa. Usto, u ovisnosti o korištenoj tehnologiji izrade, oscilatori, koji se koriste u generiranju signala takta, imaju graničnu frekvenciju koju mogu proizvesti, a što je veća frekvencija oscilatora, oni su skuplji. U 65 nm tehnologiji, maksimalna frekvencija je ograničena na 5 – 10 GHz tj. maksimalna preciznost mjerenja vremena može biti do 200 ps. [1] Veća rezolucija se može postići tako da se jedan period asinkrono dijeli u manje vremenske intervale.

Još veća rezolucija se može dobiti tako da referentni signal takta kasni pomoću linije kašnjenja, a tada rezolucija ovisi o kašnjenju elemenata u liniji kašnjenja. Ovakav tip vremensko-digitalnog pretvornika je projektirana u ovom diplomskom radu. Referentni signal takta je početni signal (eng. *start signal*) koji prolazi kroz liniju kašnjenja i sa svakim novim elementom kašnjenja sve više kasni. Zakašnjeli početni signali su prenošeni na paralelne izlaze sve do pojave stop signala. Tako je dobiven izlaz u kojemu su svi zakašnjeli početni signali koji se nalaze između početnog i stop signala u visokom logičkom stanju tj. logička jedinica, a oni koji kasne više od stop signala su u niskom logičkom stanju tj. logičkoj nuli. Mjesto gdje logičke jedinice prelaze u logičke nule označava kraj mjenog intervala. Jednadžba 2-4 pokazuje broj elemenata u visokom logičkom stanju s obzirom na mjeneni interval.

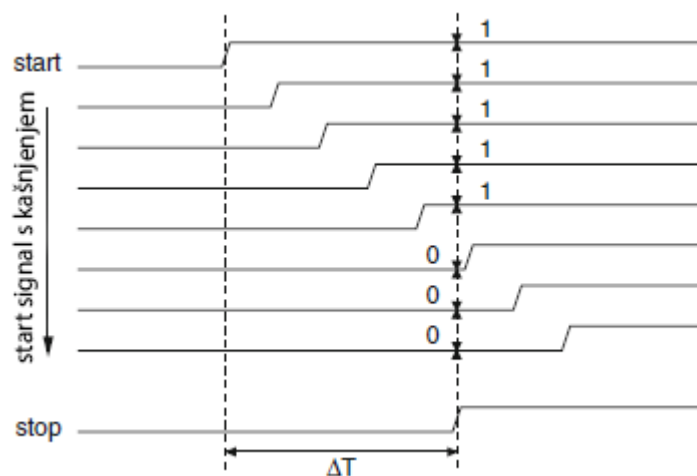
$$N = \left(\frac{\Delta T}{T_{LSB}} \right) \quad (2-4)$$

gdje je: N – broj elemenata u visokom logičkom stanju, ΔT – mjeneni interval, T_{LSB} – kašnjenje jednog logičkog elementa. Jednadžba 2-5 pokazuje mjeneni interval s obzirom broj elemenata u visokom stanju, kašnjenje pojedinog elementa i kvantizacijsku pogrešku.

$$\Delta T = NT_{LSB} + \varepsilon \quad (2-5)$$

gdje je: ΔT – mjeneni interval, N – broj elemenata u visokom logičkom stanju, T_{LSB} – kašnjenje jednog logičkog elementa, ε – kvantizacijska pogreška. [1]

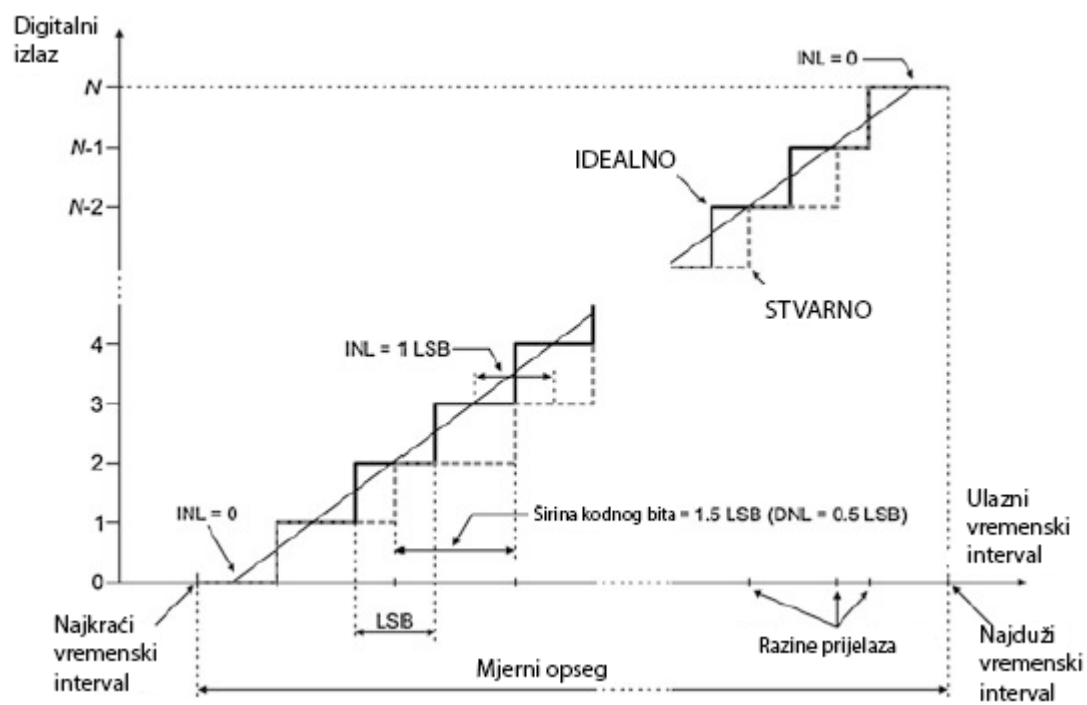
Na slici 2.3. je prikazan princip rada prethodno opisanog vremensko-digitalnog pretvornika s linijom kašnjenja.



Sl. 2.3 Princip rada TDC-a temeljenog na liniji kašnjenja [1]

2.3. Prijenosna karakteristika vremensko-digitalnog pretvornika

Prijenosna karakteristika vremensko-digitalnog pretvornika je slična prijenosnoj karakteristici analogno-digitalnog pretvornika s razlikom što se umjesto digitalizacije kontinuiranog napona, digitalizira kontinuirano vrijeme. Kako se radi o kvantiziranim vrijednostima, karakteristika ima oblik stepenica. Na slici 2.4. je prikazana idealna prijenosna karakteristika TDC-a i uspoređena je s realnom karakteristikom. Idealna karakteristika ima jednu rezoluciju za sve dok se kod realnog TDC-a, zbog nelinearnosti elemenata javljaju razlike u trajanju kvantiziranih bitova. To dovodi do nelinearnosti u mjerenju vremena. Postoje dvije nelinearnosti u ovakvoj prijenosnoj karakteristici: diferencijalna nelinearnost (eng. *differential nonlinearity* DNL) i integralna nelinearnost (eng. *integral nonlinearity* - INL). DNL jednakost između kvantiziranih vremena te se njegova vrijednost za i -ti bit $DNL_i = LSB_i - LSB$, gdje je LSB – širina idealnog i -tog bita, a LSB_i – širina realnog i -tog bita. INL označava raskorak između idealne i realne prijenosne funkcije TDC-a. INL za i -ti bit se računa kao $INL_i = \sum DNL_i$. Najčešće se koristi maksimalna INL vrijednost.



Sl. 2.4. Prijenosna karakteristika idealnog i realnog TDC-a [2]

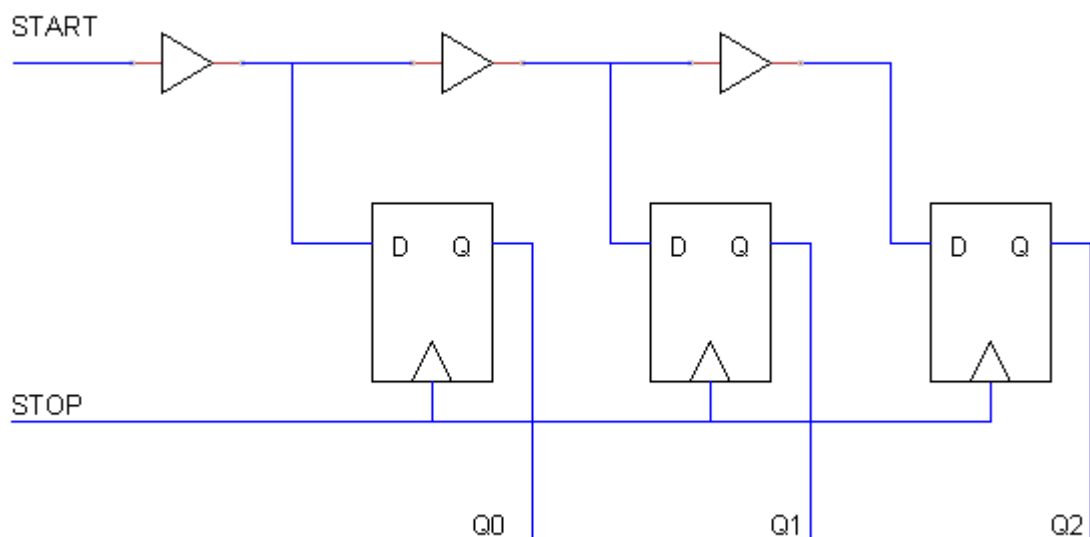
3. GRAĐA VREMENSKO-DIGITALNOG PRETVORNIKA

U ovom poglavlju su opisane građe i načini rada nekih potpuno digitalnih vremensko-digitalnih pretvornika. Svi ovi pretvornici imaju su potpuno digitalni i pripadaju drugoj generaciji TDC-a. Također, maksimalna rezolucija ovakvih TDC-a je rezolucija koja se može postići ovisi kašnjenju jednog sklopa za kašnjenje. To kašnjenje ovisi o tehnologiji izrade. Postoje još TDC sklopovi treće generacije koji mogu postići i veće rezolucije, ispod rezolucije jednog elementa za kašnjenje (eng. *sub-gate delay resolution*). Takvi sklopovi neće biti opisani u ovom poglavlju.

3.1. Osnovni digitalni vremensko-digitalni pretvornici

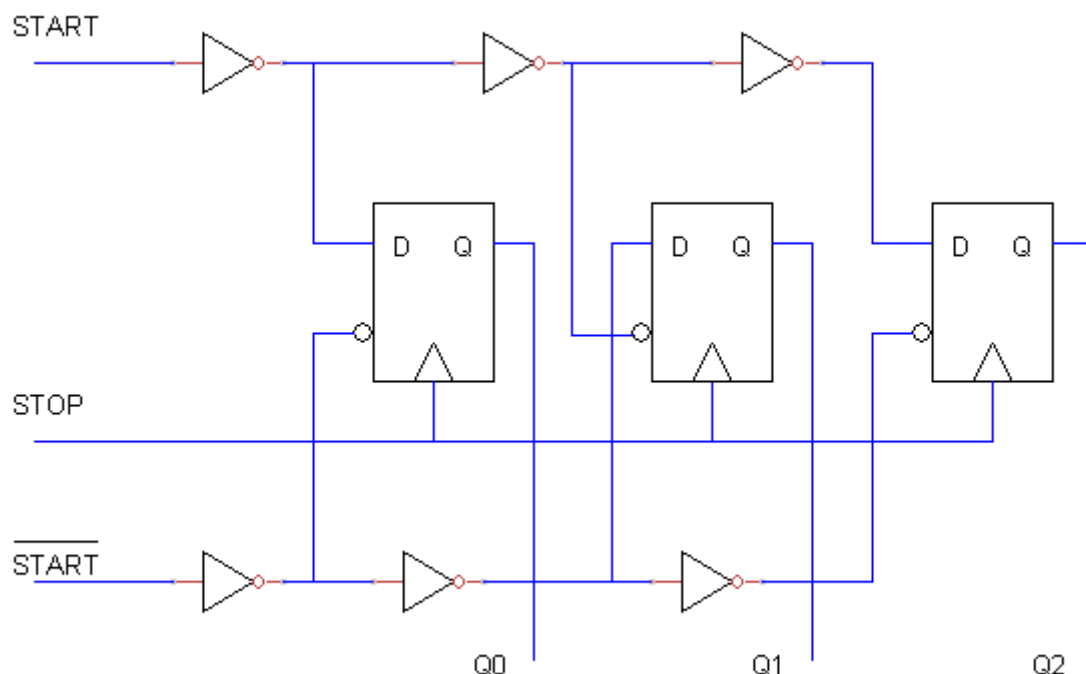
Potpuno digitalni vremensko-digitalni pretvornici se obično sastoje od memorijskog elementa i linije kašnjenja. Obično su to D-bistabili, a kao linija kašnjenja se koriste invertori ili *bufferi*. Postoje različiti tipovi takvih vremensko-digitalnih pretvornika koji poboljšavaju neke performanse prethodnih verzija, a neki tipovi će ovdje biti obrađeni.

Slika 3.1. prikazuje jednostavni digitalni TDC realiziran linijom kašnjenja i D-bistabilima. Linija kašnjenja je realizirana *bufferima*. Na izlazu daje logičku jedinicu od rastućeg brida start signala do rastućeg brida stop signala, a za ostale ulaze na izlazima je logička nula. Početak izlaznog signala je pomaknut za kašnjenje svakog *buffera* koji prethodi bistabilu.



Sl. 3.1. Osnovni TDC s linijom kašnjenja

Na slici 3.2. prikazana je verzija prethodnog TDC-a ali s invertorima umjesto *buffera*. Takav sklop nudi duplu rezoluciju od prethodnog sklopa, ali naravno uz veći broj elemenata. Za razliku od prethodnog sklopa, ovaj sklop na izlazu ima slijed izmjenjujućih logičkih nula i jedinica, a kada se pojavi stop signal, promijeni se faza.



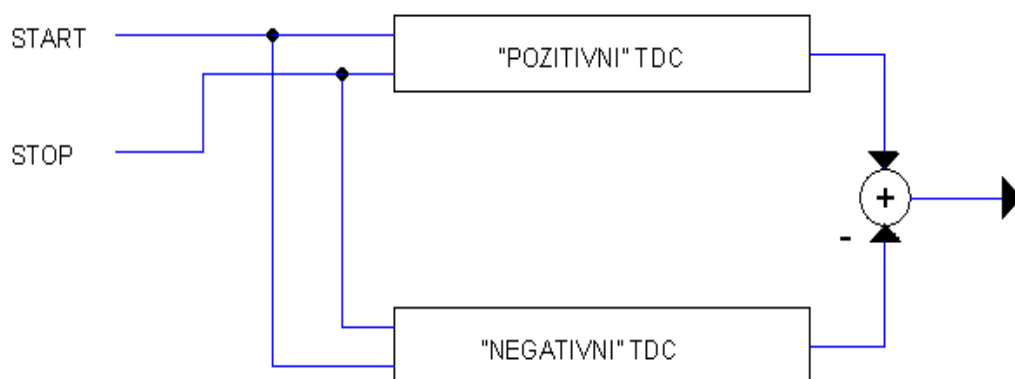
Sl. 3.2. TDC s invertorima umjesto buffera u liniji kašnjenja

3.2. Bipolarni vremensko-digitalni pretvornik

Potpuno digitalni vremensko-digitalni pretvornici koji su prethodno objašnjeni mogu mjeriti samo pozitivni vremenski signal. Ako stop signal dođe prije start signala, izmjereno vrijeme će biti 0. Kako bi se riješio ovaj problem, stop signal se „iskrivljuje“ da bi stigao nakon start signala kada je vremenski interval između start i stop signala 0 ili negativan. Mana ovakvog pristupa je to što se ne može sa sigurnošću znati vrijeme kašnjenja signala. Također, elementi koji iskrivljuju signal povećavaju potrošnju sklopa.

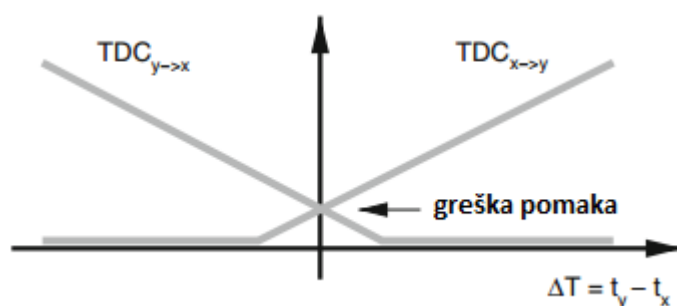
Način na koji se bolje mogu riješiti negativni vremenski intervali je korištenje bipolarnih TDC-ova. Ovi TDC-ovi se sastoje od dva konvencionalna TDC-a od kojih jedan mjeri pozitivno vrijeme, a drugi mjeri negativno vrijeme. Vremensko-digitalni pretvornik koji mjeri negativno vrijeme zapravo radi isto kao i onaj koji mjeri pozitivno vrijeme, ali su mu zamijenjeni start i stop signali na ulazima tako da zapravo nijedan od njih ne mjeri negativno vrijeme. Signal na izlazu iz „negativnog“ TDC-a se oduzima od signala na izlazu „pozitivnog“ TDC-a i to

predstavlja ukupni signal na izlazu iz bipolarnog TDC-a. Na slici 3.3. je prikazan ovakav osnovni bipolarni TDC.



Sl. 3.3. Osnovni bipolarni TDC

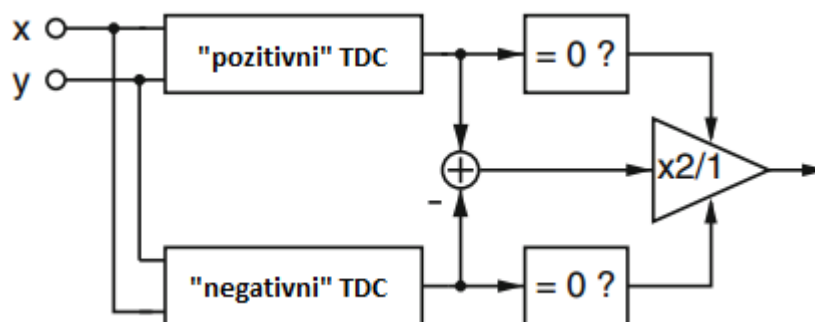
Oba TDC-a obično dopuštaju i intervale s negativnim vremenom zbog kašnjenja u liniji *buffera* na stop signalu. Zbog toga postoji područje preklapanja između dva TDC-a. U tom području izlazi iz oba TDC-a, „pozitivnog“ i „negativnog“ variraju u vremenskom intervalu te je pojačanje udvostručeno s obzirom na pojačanje dobiveno za velike pozitivne ili negativne vremenske intervale.[1] Preklapanje i greška pomaka je prikazana na slici 3.4. gdje je $TDC_{y \rightarrow x}$ izlaz iz „negativnog“ TDC-a, dok je $TDC_{x \rightarrow y}$ izlaz iz pozitivnog TDC-a.



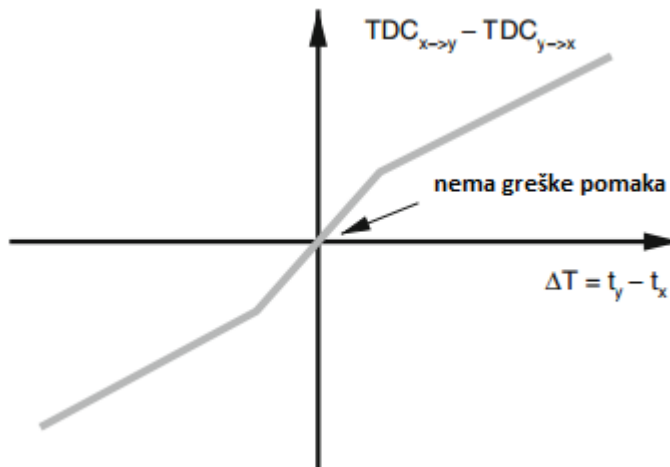
Sl. 3.4. Karakteristika i greška pomaka [1]

Kod sklopova u kojima je ovakva nelinearnost problem može se koristiti shema na slici 3.5. Takav sklop udvostručuje sveukupni izlazni signal čim se na jednome izlazu TDC-a pojavi nula. Ta ispravka se radi u digitalnoj domeni te uzrokuje zanemarivo veću potrošnju. Svaki od

dva TDC-a u bipolarnom TDC-u mjeri samo pola vremenskog intervala konvencionalnog pristupa s elementom iskrivljavanja te zbog toga ukupna duljina linijâ kašnjenja nije povećana što također ne dovodi do povećanja područja potrebnog za sklop.[1] Karakteristika ovakvog sklopa je prikazana na slici 3.6. gdje je $TDC_{y \rightarrow x}$ izlaz iz „negativnog“ TDC-a, dok je $TDC_{x \rightarrow y}$ izlaz iz pozitivnog TDC-a kao i kod prethodne karakteristike.



Sl. 3.5. Bipolarni TDC s ispravkom zbog nelinearnosti [1]



Sl. 3.6. Karakteristika bipolarnog TDC-a s ispravkom zbog nelinearnosti [1]

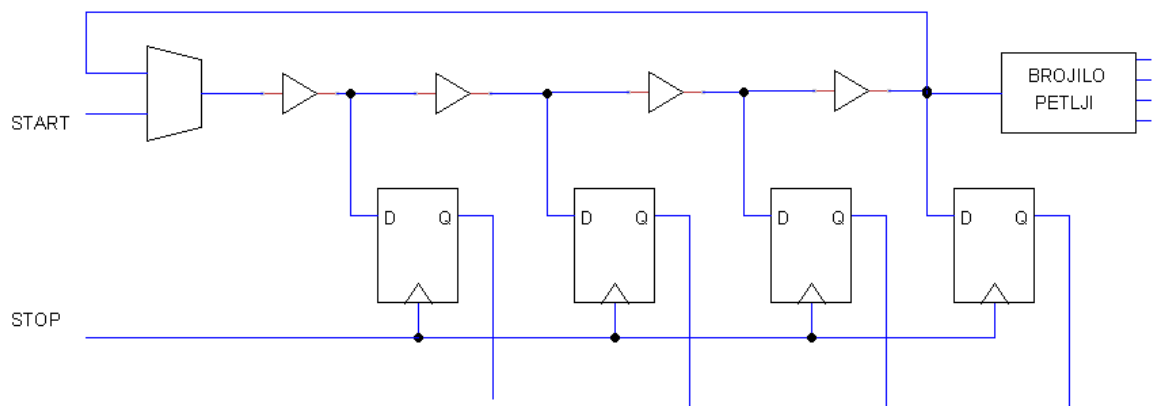
Kao što se vidi na slici 3.6., više ne postoji greška pomaka na karakteristici. Svaki TDC mjeri samo polovinu ukupnog vremenskog intervala pa nema područja preklapanja.

3.3. Vremensko-digitalni pretvornik s petljom

Ovakav vremensko-digitalni pretvornik ima povratnu petlju u liniji kašnjenja. Kod prethodno opisanih TDC-a, koji su linearni, za veći mjereni interval je potrebna dulja linija kašnjenja što dovodi do povećanja područja potrebnog za izradu sklopa. TDC s petljom ima kraću liniju kašnjenja, a start signal prolazi kroz petlju više puta za veće vremenske intervale. start signal dolazi u sklop preko multipleksera koji prenosi ili start signal s ulaza ili start signal iz petlje. Na kraju petlje je postavljeno brojilo koje broji koliko puta start signal prolazi kroz petlju. Opisani TDC je prikazan na slici 3.7.. Vrijednost na brojilu B_{cnt} predstavlja grubu kvantizaciju, a red izmjenjujućih logičkih nula i jedinica u liniji kašnjenja pokazuje poziciju u jednom intervalu brojila tj. finu rezoluciju B_{TDC} . Ukupni mjereni vremenski interval B može se tada izračunati prema izrazu[1]:

$$B = M \cdot B_{cnt} + B_{TDC} \quad (3 - 1)$$

gdje su B_{cnt} i B_{TDC} prethodno opisane vrijednosti, a M je broj elemenata kašnjenja u liniji kašnjenja.



Sl. 3.7. Vremensko digitalni pretvornik s petljom

Multiplexer ima upravljačku jedinicu koja određuje koji će se signal pustiti na liniju kašnjenja. Na početku mjerenja, multiplexer spaja start signal s ulaza s linijom kašnjenja, tada multiplexer čeka signal iz povratne petlje te kad on dođe na ulaz multipleksa propušten je opet na liniju kašnjenja. Tako start signal kruži kroz liniju kašnjenja i povratnu petlju dok se ne pojavi stop signal. Kada se pojavi stop signal, uzorkuju se signali s linije kašnjenja i signal iz brojila, a multiplexer opet čeka start signal na ulazu za novo mjerenje.

Tijekom ovog upravljačkog ciklusa najkritičniji dio je detekcija stop signala. Razlog tomu je činjenica da su start signal u petlji i stop signal upotpunosti asinkroni. Upravljačka

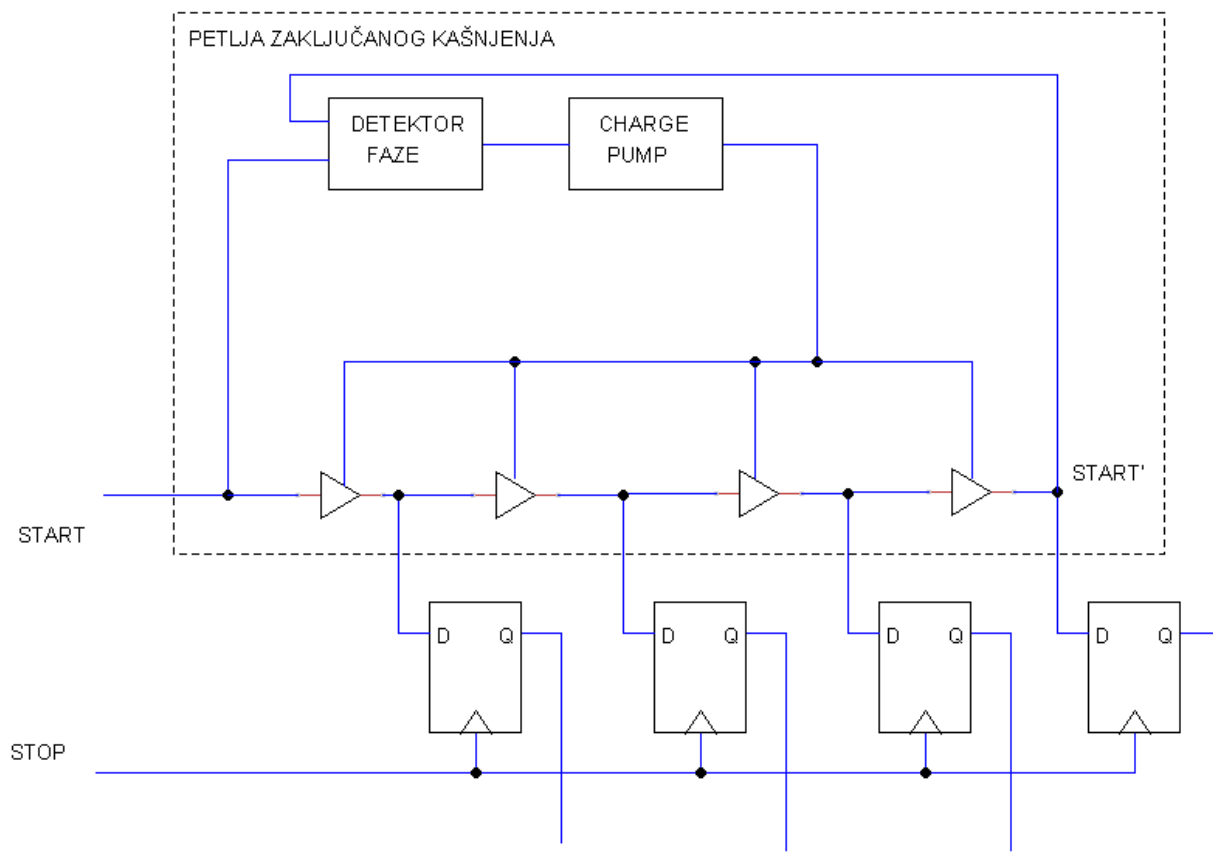
logika mora otkriti relativnu poziciju start signala u petlji s obzirom na stop signal da bi mogla generirati odgovarajuće upravljačke signale. Potrebno je neko vrijeme za detekciju stop signala generaciju upravljačkih signala. Za ispravan rad, brojilo je potreban signal na ulazu signala takta sa širinom impulsa ne manjom od određenog minimuma.[1] Ako se brojilo ne onemogući u vremenu dok start signal nije došao na ulaz brojila, brojilo će izbrojati još jedan krug te je potrebna kasnija ispravka. Kao što je rečeno, brojilo se može onemogućiti samo u vremenu dok start signal nije došao do brojila te je još dovoljno daleko.

3.4. Vremensko-digitalni pretvornik temeljen na petlji zaključanog kašnjenja

Petlja zaključanog kašnjenja (DLL – eng. *Delay Locked Loop*) je fazno zaključan uređaj. Slična je PLL-u, a razlika je u tome da je jedina varijabla stanja faza, a oscilator je zamijenjen linijom kašnjenja. (eng. *Phase Locked Loop*) To omogućuje pretvorniku neovisnost parametara o promjenama obrade, temperature i napona. [3]

Kvaliteta mjerenja TDC-a ovisi o elementima kašnjenja, a oni su ovisni o varijacijama u obradi, temperaturi i naponu. Zato je potrebna kalibracija pri mjerenju vremenskog intervala. Ako je nužno mjerenje bez kalibracije, tada se u sklopu TDC-a može koristiti DLL. Na slici 3.8 je prikazan jedan TDC s DLL-om.

Periodički start signal ulazi u liniju kašnjenja te se nakon svakog elementa kašnjenja stvara iskrivljena kopija signala starta. Ulazni signali i signali na kraju linije kašnjenja dolaze u detektor faze koji uspoređuje njihove faze. Zbog jednostavnosti je pretpostavljeno da jedan period periodičkog start signala stane u liniju kašnjenja. Ako su pozitivni signal s kraja linije kašnjenja (start' signal) i pozitivni ulazni signal (start signal) u fazi, tj. dogode se u točno istom trenutku, kašnjenje u liniji kašnjenja je jednako periodu signala starta. Ako signal start' dođe prije signala start, kašnjenje na liniji kašnjenja je premalo, a u suprotnom je preveliko. Tako se može kontrolirati kašnjenje pojedinačnih elemenata kašnjenja. *Charge pump* se obično koristi kao komponenta za integriranje u analognim implementacijama. Element za integriranje je potreban na filteru petlje zbog iščezujuće razlike u fazi filtera u petlji. Niskopropusni filter je potreban u detektoru faze zbog visokofrekventnih komponenata u izlaznom signalu.[1]

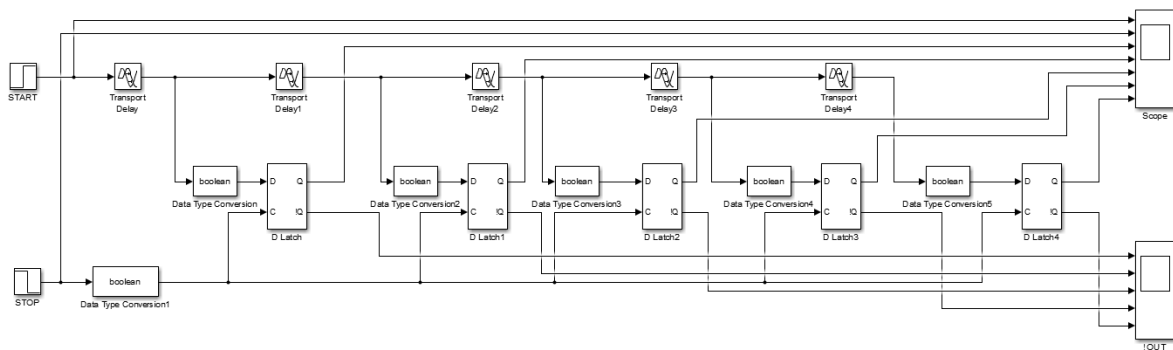


Sl. 3.8. Vremensko-digitalni pretvornik s petljom zaključanog kašnjenja

Moguće su i analogne i digitalne verzije upravljanja petljom, ali su trenutno češće analogne verzije kakva je prikazana na slici 3.8.. Ugađanje kašnjenja uvijek smanjuje rezoluciju TDC-a. Smanjenje rezolucije se događa zbog toga što je za kontrolu petlje potrebno dodatnog prostora za ugađanje i prema sporijem i prema bržem kašnjenju. Ograničenje TDC-a s DLL-om je to što start signal mora biti periodičan, Ako signal starta nije periodičan, ovakav TDC se može projektirati samo ako postoji referentni signal koji je periodičan, te je dostupan za vrijeme kalibracije.

4. MATLAB SIMULACIJA

Simulacija je izvedena u programskom paketu MATLAB. Simuliran je najjednostavniji potpuno digitalni vremensko-digitalni pretvornik s pet D-bistabila (eng. *D Latch*) i linijom kašnjenja. D-bistabil postavlja izlaz Q na vrijednost ulaza D ako je na ulaz C doveden signal veći od nule. Elementi za kašnjenje su *Transport delay*, a $t = 0.02$ ms je vrijeme kašnjenja pojedinog elementa. *Transport delay* blok element odgađa slanje signala koji mu dolazi na ulaz za određeno vrijeme. Koristi se za simulaciju vremenskog kašnjenja. Izlazi koji se mjere u simulaciji su Q izlazi pojedinih bistabila te su mjereni instrumentom na slici imena *Scope*. Boolean elementi u shemi su korišteni radi prilagodbe tipova podataka korištenih u simulaciji. Postavljen je Step signal kao izvor s time što je STOP signal invertiran i pomaknut za $t = 0.1$ ms od start signala. Shema TDC-a u *Simulink*-u je prikazana na slici 4.1.



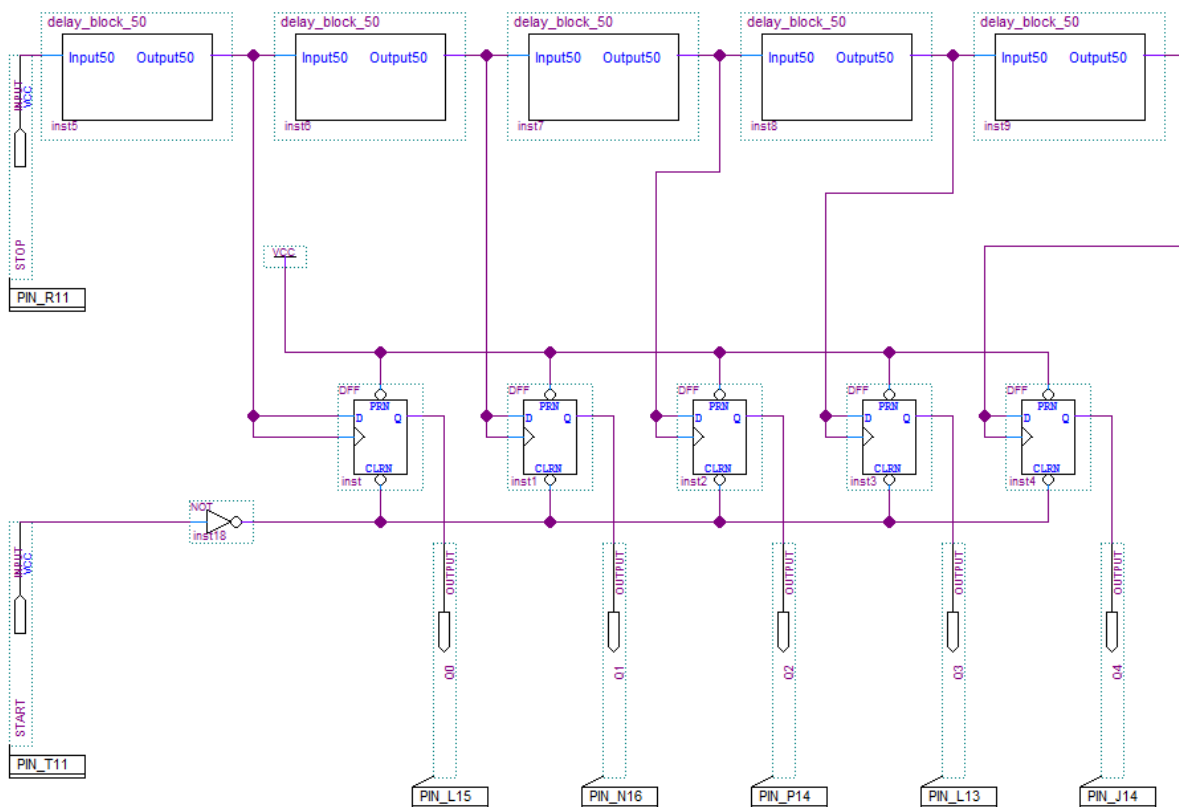
Sl. 4.1. Shema vremensko-digitalnog pretvornika realizirana u Simulink-u

4.1. Rezultati simulacije

Na slici 4.2. prikazani su rezultati simulacije prethodne sheme. Vrijeme start signala je postavljeno na $t = 1$ ms, a vrijeme stop signala na $t = 1.1$ ms, što je ujedno i maksimalni vremenski period koji ovakav sklop može mjeriti tj. $\Delta t = 0.1$ ms. Očekivano, prvi izlaz kasni za $t = 0.02$ ms nakon start signala, a izlaz iz sljedećeg bistabila kasni za $t = 0.04$ ms nakon start signala kao što je prikazano na slici 4.2. Izlazi su redom označeni od Q0 do Q4. Simulirani sklop predstavlja idealni TDC jer nema dodatnih pomaka i kašnjenja koja se događaju u realnom TDC-u. U realnom TDC-u se događaju i dodatna kašnjenja na svakom izlazu Q. U ovome slučaju je dobivena karakteristika izlaza kakva je prikazana na slici 2.3. u potpoglavlju 2.2. ovog rada.

5. VREMENSKO-DIGITALNI PRETVORNIK U FPGA UREĐAJU

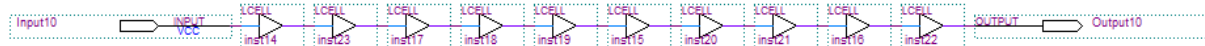
Vremensko-digitalni pretvornik (TDC) je implementiran na FPGA (eng. *Field-Programmable Gate Array*) pločici DE0-Nano. Ona na sebi ima Alterin Cyclone IV EP4CE22F17C6N FPGA. Na pločici je implementiran najosnovniji i najjednostavniji potpuno digitalan TDC. Zasnovan je na D-bistabilima i liniji kašnjenja. Shema korištena u implementaciji nešto se razlikuje od one korištene u MATLAB simulaciji i one koja je predstavljena u literaturi. To je iz razloga što je u stvarnosti bilo nemoguće dobiti dobro mjerenje sa shemom iz literature [1]. Na slici 5.1. je prikazana shema TDC-a koji je implementiran na FPGA pločici. Blok naziva *delay_block_50* je sastavljen od pet blokova naziva *delay_block_10* čija je shema prikazana na slici 5.2. na sljedećoj slici.



Sl. 5.1. Shema vremensko-digitalnog pretvornika implementiranog u FPGA uređaju

Glavna razlika između implementirane sheme i one iz literature prema kojemu je rađena shema je zamjena ulaza start i stop signala. D-bistabili korišteni u shemi su *dff* primitivi, a linija kašnjenja sastavljena je od 50 *lcell buffera* tako da rezolucija ne bude previše mala zbog opreme koja je korištena pri mjerenju koja ne može razlikovati jako male vremenske intervale. Invertirani start signal je doveden na CLRN ulaz, te kad su PRN i CLRN ulazi oba u visokom logičkom stanju, omogućen je rad D-bistabila na rastući brid koji se dovodi na CLK ulaz

bistabila. CLK ulaz omogućava rad bistabila te je na njega i na D ulaz doveden signal nakon bloka kašnjenja koji se prenosi na izlaz kada je na CLK ulaz doveden rastući brid vremenski pomaknutih stop signala. Dolaskom visokog stanja stop signala, svi izlazi prelaze u nisko logičko stanje.



Sl. 5.2. Shema delay_line_10 bloka koja se sastoji od 10 serijski povezanih lcell buffera

Svaki D-bistabil daje na izlazu ulazni signal pomaknut za kašnjenje blokova kašnjenja između ulaza stop i D pin-a bistabila. U slučaju potrebe za većim vremenskim periodom mjerenja, za istu rezoluciju, može se dodati više D-bistabila na isti način. Za povećanje rezolucije mjerenja, može se smanjiti broj lcell buffera u liniji kašnjenja.

Shema je pretvorena u VHDL kod unutar Quartus II programa. Taj kod je dalje kompajliran i njime je programiran FPGA čip.

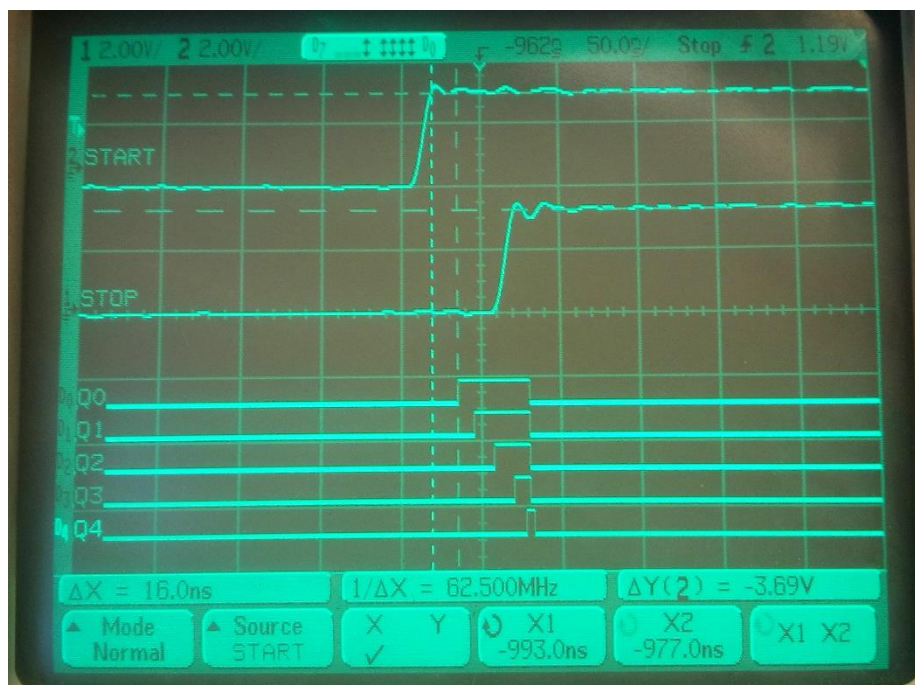
5.1. Rezultati mjerenja

Mjerenje je obavljeno osciloskopom s logičkim analizatorom „Agilent S4622D“. Signali start i stop su frekvencije 1 MHz. Mjeri se vremenska razlika između uzlaznog brida start i stop signala. S pet D-bistabila i postavljenom linijom kašnjenja kako je prethodno objašnjeno maksimalni vremenski period koji sklop može mjeriti je 59 ns kao što je i prikazano na slici 5.3. U tome periodu je uračunata i pogreška. Naime, pri mjerenju s logičkim analizatorom javlja se greška od nekoliko nanosekundi na svakom izlazu. U realnom sklopu se javlja i kašnjenje koje se povećava što je veći broj izlaza, tj. elemenata za kašnjenje. Kašnjenje se također povećava povećanjem vremenskog opsega koji se mjeri zbog toga što, da bi se mjerili veći vremenski intervali, povećava se broj elemenata kako bi rezolucija mjerenja ostala nepromijenjena.



Sl. 5.3. *Maksimalni vremenski period između START i STOP signala*

Između start signala te prvog izlaza postoji veća vremenska razlika od 16 ns kao što je prikazano na slici 5.4. Razlika između prvog i drugog signala izlaza je 10 ns, što je prikazano na slici 5.5.



Sl. 5.4. *Vremenski period između start signala i prvog signala na izlazu*



Sl. 5.5. *Vremenski period između prvog i drugog signala izlaza*

Mjerenja vremenske razlike između ostalih signala na izlazu se nalaze u prilogu (prilozi P.5.1. – P.5.4.). Kao što je već rečeno, u mjerenjima postoji pogreška i dodatno kašnjenje koje inače ne bi trebalo biti prisutno. To kašnjenje se događa djelomice zbog toga što kašnjenje *lcell* elemenata ovisi o temperaturi, naponu i ostalim vanjskim utjecajima.

6. ZAKLJUČAK

Ovaj diplomski rad je trebao objasniti osnovnu teoriju o vremensko-digitalnim pretvornicima te predstaviti neke sklopove te njihove prednosti i nedostatke. Izvedena je MATLAB simulacija jednog jednostavnijeg vremensko-digitalnog pretvornika te su prikazani i rezultati simulacije koji su bili i očekivani. Naposljetku je projektiran jedan jednostavni vremensko-digitalni pretvornik na FPGA pločici, što je bio i glavni dio rada, i prikazani su rezultati mjerenja ulaznih i izlaznih signala. TDC sklopovi se koriste u PLL sklopovima i u fizici čestica gdje su potrebna precizna mjerenja vrlo malih vremenskih intervala. Također se mogu koristiti u analogno-digitalnim pretvornicima.

7. LITERATURA

- [1] S. Henzler, Time-to-Digital Converters, Springer, Volume 29, 2010.
- [2] P. Carbone, S. Kiaei, F. Xu, Design, Modeling and Testing of Data Converters, Springer, 2014.
- [3] Chih-Kong Ken Yang, Delay-Locked Loops - And Overview, Phase-Locking in High-Performance Systems, IEEE Press, 2003.

8. SAŽETAK

U sklopu diplomskog rada projektiran je jedan vremensko-digitalni pretvornik te je implementiran na FPGA pločici i prikazani su rezultati mjerenja. Sklop je prošao kroz više promjena dok nisu dobiveni zadovoljavajući rezultati. TDC je projektiran u Quartus II kao shema i prebačena je u VHDL kod. Također je izvedena MATLAB simulacija jednostavnog vremensko digitalnog pretvornika i prikazani su rezultati simulacije.

Ključne riječi: vremensko-digitalni pretvornik, TDC, FPGA, VHDL

9. ABSTRACT – TIME-TO-DIGITAL CONVERTER

Time-to-digital converters are electronic devices which measure very short time intervals and can digitalise those intervals. They are often use din PLL circuits and particle physics and therefore are interesting. One kind of time-to-digital converter is implemented in FPGA circuit board and measurement results are shown in this thesis. The circuit went through some changes until satisfying results are obtained. TDC is designed in Quartus II as a schematic and then it is transfered to VHDL code. A simulation in MATLAB was made and the results are displayed in this paper.

Keywords: Time-to-Digital Converter, TDC, FPGA, VHDL

10. ŽIVOTOPIS

Boris Pešerović rođen je 18. lipnja 1991. godine u Osijeku te u njemu živi 26 godina. Trenutno završava drugu godinu diplomskog studija elektrotehnike, Fakulteta elektrotehnike, računarstva i informacijskih tehnologija u Osijeku kojega je upisao 2010. godine. Redovan je student. Završio je Elektrotehničku i prometnu školu u Osijeku, smjer Elektrotehničar 2010. godine. U osnovnoj školi je polazio tečaj robotike te je sudjelovao na natjecanju. Od stranih jezika govori i piše engleski te ga često i svakodnevno koristi.

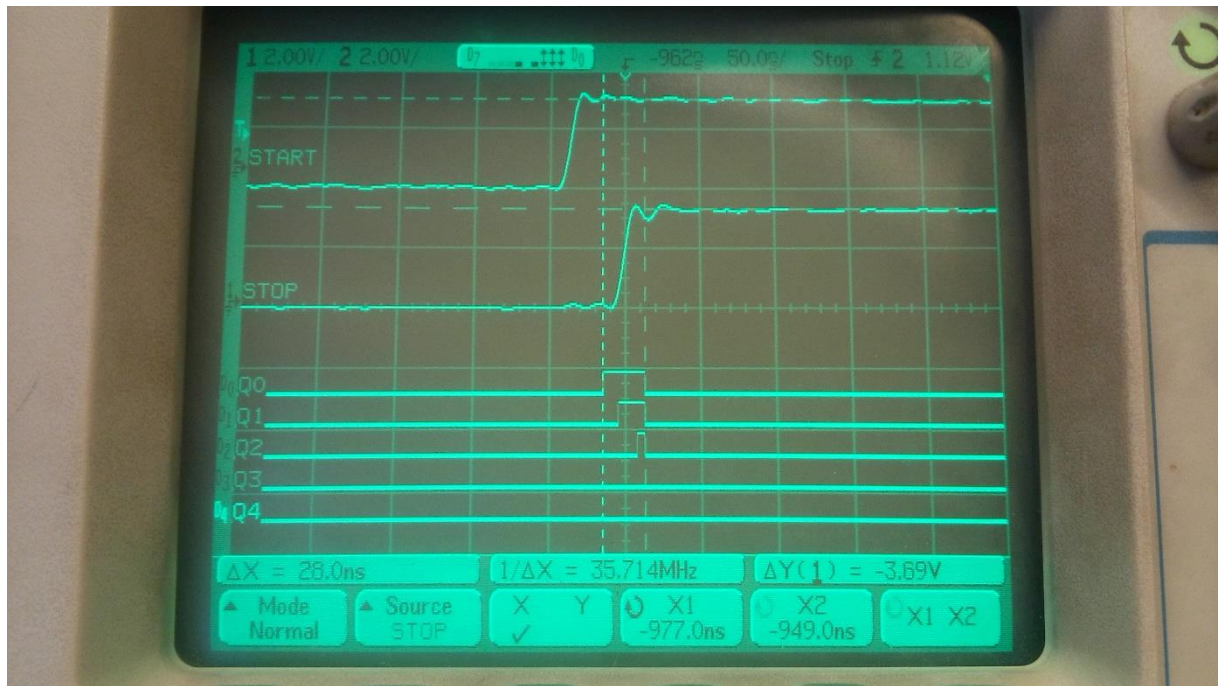
11.PRILOZI



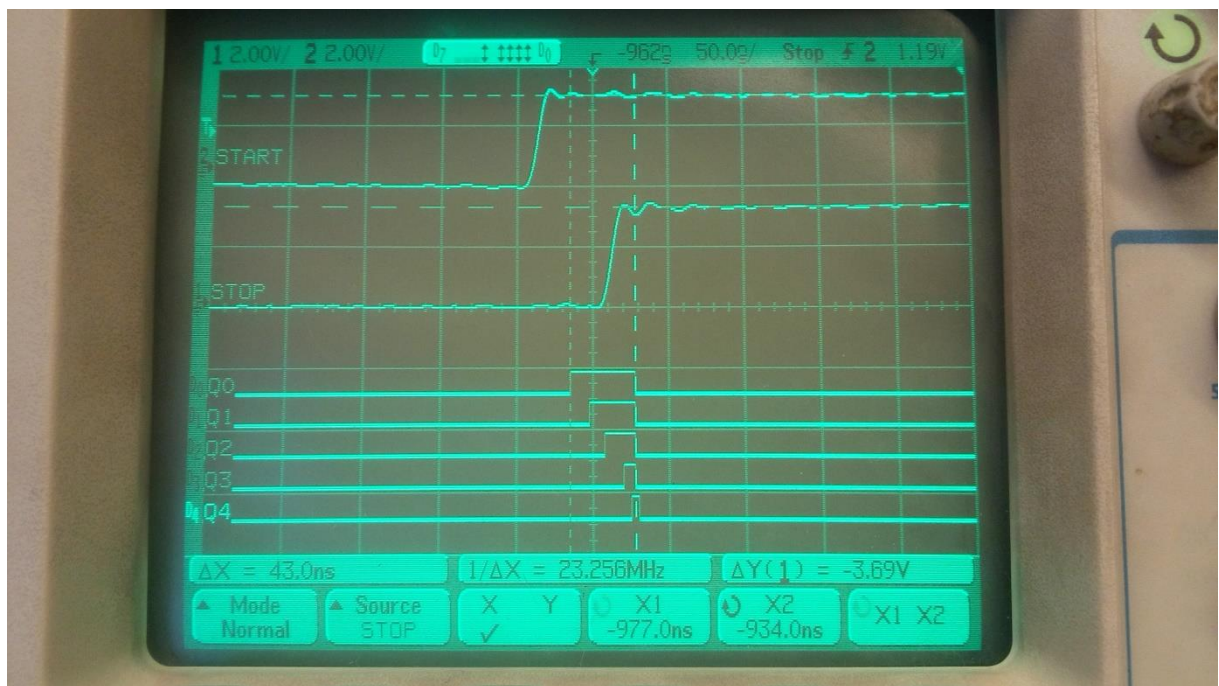
P.5.1.



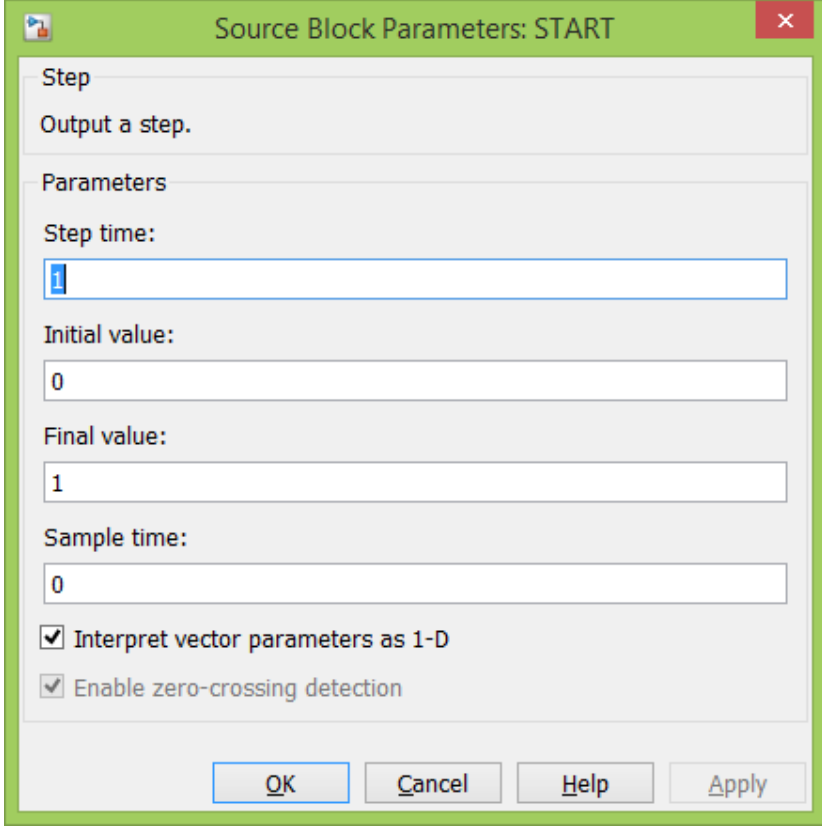
P.5.2.



P.5.3.



P.5.4.



Source Block Parameters: START

Step
Output a step.

Parameters

Step time:
1

Initial value:
0

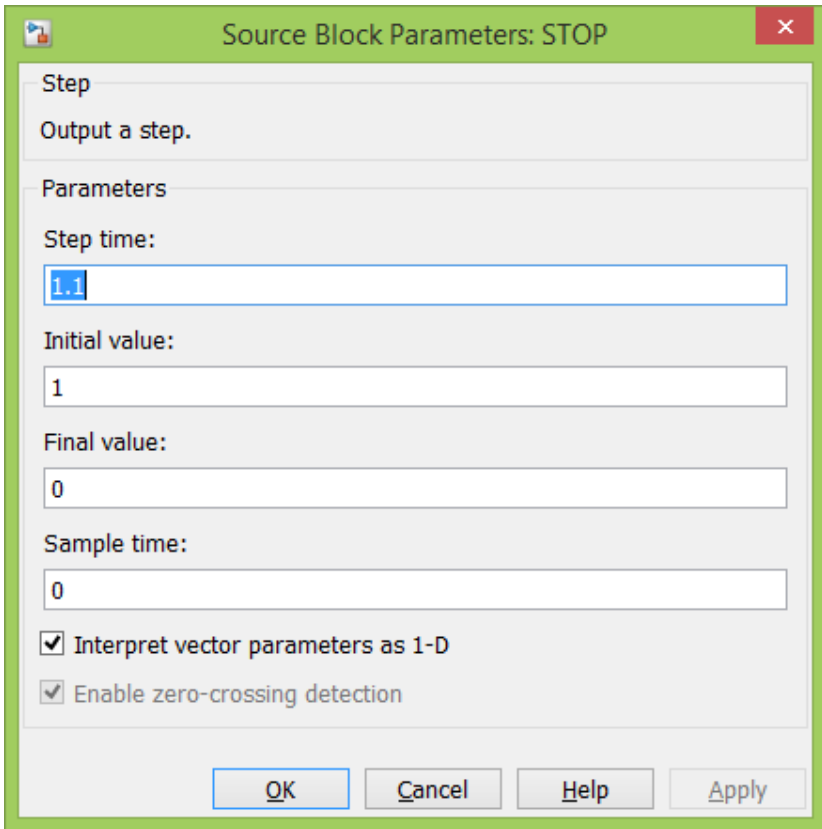
Final value:
1

Sample time:
0

☒ Interpret vector parameters as 1-D
☒ Enable zero-crossing detection

OK Cancel Help Apply

P.4.1.



Source Block Parameters: STOP

Step
Output a step.

Parameters

Step time:
1.1

Initial value:
1

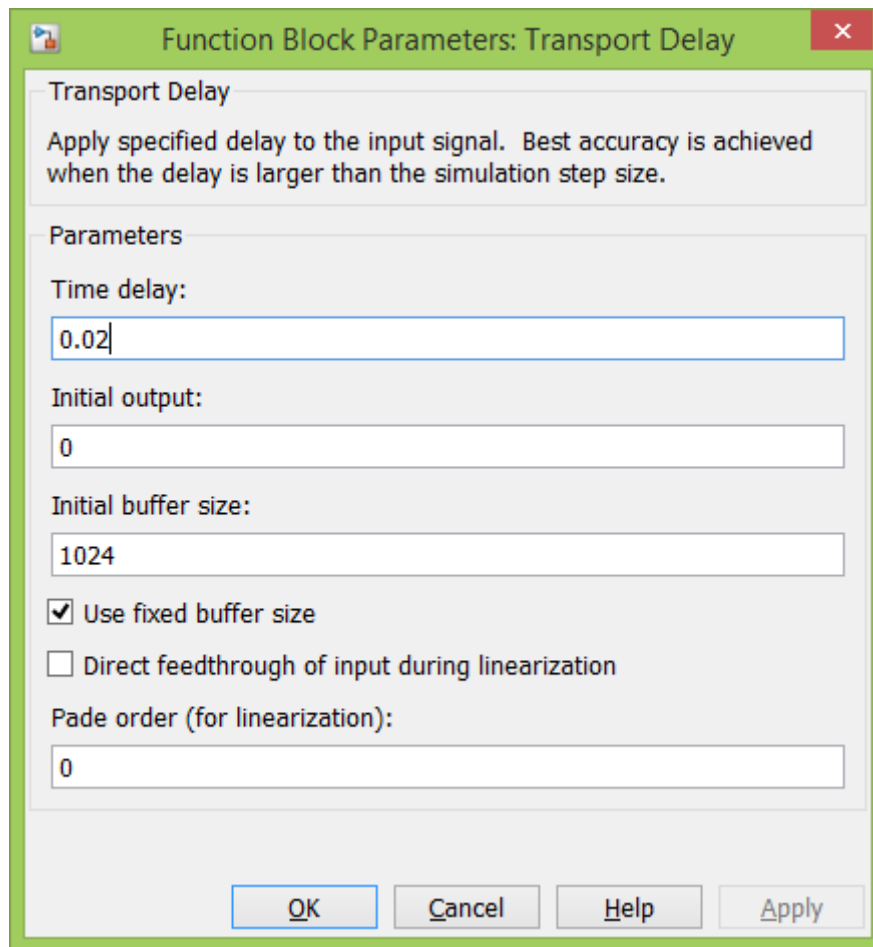
Final value:
0

Sample time:
0

☒ Interpret vector parameters as 1-D
☒ Enable zero-crossing detection

OK Cancel Help Apply

P.4.2.



The image shows a MATLAB/Simulink dialog box titled "Function Block Parameters: Transport Delay". It contains a description of the block's function, a "Parameters" section with input fields for "Time delay", "Initial output", and "Initial buffer size", and checkboxes for "Use fixed buffer size" and "Direct feedthrough of input during linearization". It also has a "Pade order" field and standard "OK", "Cancel", "Help", and "Apply" buttons at the bottom.

Function Block Parameters: Transport Delay

Transport Delay

Apply specified delay to the input signal. Best accuracy is achieved when the delay is larger than the simulation step size.

Parameters

Time delay:
0.02

Initial output:
0

Initial buffer size:
1024

☒ Use fixed buffer size

☐ Direct feedthrough of input during linearization

Pade order (for linearization):
0

OK Cancel Help Apply

P.4.3.