

Budimir, Alen

Undergraduate thesis / Završni rad

2015

Degree Grantor / Ustanova koja je dodijelila akademski / stručni stupanj: **Josip Juraj Strossmayer University of Osijek, Faculty of Electrical Engineering, Computer Science and Information Technology Osijek / Sveučilište Josipa Jurja Strossmayera u Osijeku, Fakultet elektrotehnike, računarstva i informacijskih tehnologija Osijek**

Permanent link / Trajna poveznica: <https://urn.nsk.hr/urn:nbn:hr:200:029500>

Rights / Prava: [In copyright / Zaštićeno autorskim pravom.](#)

Download date / Datum preuzimanja: **2024-05-13**

Repository / Repozitorij:

[Faculty of Electrical Engineering, Computer Science
and Information Technology Osijek](#)



SVEUČILIŠTE JOSIPA JURJA STROSSMAYERA U OSIJEKU
ELEKTROTEHNIČKI FAKULTET

Sveučilišni studij

BISTABIL

Završni rad

Alen Budimir

Osijek, 2015.

SADRŽAJ

| | |
|---|----|
| 1. UVOD..... | 1 |
| 1.1. Zadatak završnog rada | 2 |
| 2. TIPOVI BISTABILA | 3 |
| 2.1. SR bistabil..... | 3 |
| 2.2. JK bistabil..... | 4 |
| 2.3. T bistabil..... | 6 |
| 2.4. D bistabil | 7 |
| 2.5. Integrirane izvedbe bistabila..... | 8 |
| 2.5.1. Dvostruki JK bistabil | 8 |
| 2.5.2. Dvostruki D bistabil | 9 |
| 3. TRANZISTORSKE IZVEDBE BISTABILA | 10 |
| 3.1. SR bistabil..... | 10 |
| 3.2. Bistabilni multivibrator | 10 |
| 3.3. SRAM memorija | 11 |
| 3.4. Master-Slave strukture bistabila..... | 12 |
| 3.4.1. SR master-slave struktura bistabila | 13 |
| 3.4.2. JK master-slave struktura bistabila | 14 |
| 4. UPOTREBA BISTABILA | 16 |
| 4.1. Posmačni registri..... | 16 |
| 4.1.1. Serial-in to Parallel-out (SIPO) registar | 17 |
| 4.1.2. Serial-in to Serial-out (SISO) registar..... | 20 |
| 4.1.3. Parallel-in to Serial-out (PISO) registar | 20 |
| 4.1.4. Parallel-in to Parallel-out (PIPO) registar | 21 |
| 5. SKLOPOVI ZA OKIDANJE BISTABILA..... | 23 |
| 5.1. CR mreža | 23 |
| 5.1.1. Pasivni derivatori..... | 23 |
| 5.1.2. Aktivni derivatori..... | 24 |
| 6. PRAKTIČNI DIO | 26 |
| 6.1. Simulacija u Multisim 12.0 programskom sučelju | 26 |

| | |
|--|----|
| 6.2. Mjerenje u laboratoriju..... | 30 |
| 6.3. Usporedba rezultata simulacije i laboratorijskih mjerena..... | 32 |
| 7. ZAKLJUČAK | 33 |
| 8. LITERATURA | 34 |
| 9. SAŽETAK | 35 |

9. SAŽETAK

U ovom završnom radu opisane su glavne izvedbe bistabila. Prikazane su njihove izvedbe pomoći logičkih sklopova, te pomoću bipolarnih tranzistora i MOS unipolarnih tranzistora.

Bistabil je osnovni memorijski 1-bitovni element. Ukoliko se kombinira više bistabilnih elemenata dobivaju se skloovi koji su u stanju zapamtiti 4, 8, 16, 32 i više bitova informacije. Takvi se skloovi nazivaju registrima. U radu su opisane četiri osnovne vrste takvih registara, te njihove mogućnosti, odnosno načini upisa podataka u njih, te ispisivanje istih podataka iz njih.

Provedene su simulacije rada SR bistabila na računalu, a potom i mjerena na laboratorijskom modelu, te su uspoređeni dobiveni rezultati.

Ključne riječi: bistabil, logičko stanje, memorija, register, sklop, mreža.

ABSTRACT

This final work shows main versions of flip-flops and latches. They are shown in construction with logical gates, bipolar transistors and MOS unipolar transistors.

Flip-flop is basic memory element that can store an information of one logical condition, one bit. If we make electronical circuit made of few (4,8,16 etc.) flip-flop elements, then we get circuit that can remember 4,8,16 and more bits. Circuit like that are called registers, and their 4 basic forms with their performances, type of input and output of information from them.

Simulation of SR flip-flop circuit is made on PC, and then in the electronic laboratory. The results are compared and shown.

Key words: flip-flop, logical condition, memory, register, circuit.